**КОНТРОЛЬНАЯ РАБОТА ПО ТЕМЕ:**

**Особенности построения цифровых узлов СОИ**

**1. Буферные запоминающие устройства буквенно-цифровых СОИ**

Буферные запоминающие устройства (БЗУ) выполняют как модули ОЗУ с произвольной выборкой на основе полупроводниковых накопителей – БИС ОЗУ НК, объединяемых в прямоугольную матрицу из mC рядов по mP БИС в каждом ряду. Такая организация обеспечивает требуемые число ячеек памяти ЗУ NЗУ и их разрядность nЗУ. В модуль ЗУ входят также схемы согласования выходных и входных информационных и адресных сигналов и схема дешифратора адреса.

Требуемая разрядность nЗУ БЗУ и число ячеек памяти NЗУ определяется в соответствии с выражениями

nЗУ = nа; NЗУ = NЗНС \* NТС,

а информационная емкость -

CБЗУ = NЗУ \* nЗУ.

Требуемое быстродействие (разрешающая способность) определяется исходя из требуемого времени выборки относительно адреса:

tА ≤ βГ (1 - αС) / (NЗНТС fС) – tвПЗУ – tDCrA - tDСОГЛ,

где tвПЗУ - время выборки ПЗУ знакогенератора; tDCrA и tDСОГЛ - время задержки в счетчике адреса и согласующих схем.

Выбор типа БИС ОЗУ из выпускаемых промышленностью определяется требуемым быстродействием и информационной емкостью БЗУ. Разрядность накопителя nНК должна быть кратна разрядности БЗУ nЗУ. Коэффициент кратности определяет число БИС ОЗУ НК mP в ряду матрицы накопителей и должно быть целочисленным:

nНК = nЗУ / mP.

Аналогичные условия накладываются относительно числа ячеек памяти накопителя NНК:

NНК = NЗУ / mСТ.

Тогда общее количество БИС ОЗУ НК, входящих в модуль ЗУ

m = mP \* mСТ.

При mP ≠ 1 и mС ≠ 1 организуют ЗУ (форматирование информационных входных и выходных цепей модуля), объединяя все одноименные информационные входы Di и выходы Qi mC БИС входящих в один столбец матрицы накопителей. Объединение информационных входов осуществляют непосредственно, объединение же информационных входов зависит от типа выходных цепей БИС: для БИС с ТТЛ-выходами объединение производят с помощью логической схемы “ИЛИ”; выходы с открытым коллектором объединяют по схеме “монтажного ИЛИ”; выходы БИС с высокоимпедансным состоянием объединяют непосредственно (рекомендуется применять).

Адресацию ячеек памяти организуют по двухкоординатному принципу – выбор ряда матрицы накопителей осуществляется по входам выбора микросхем ВК (вход обеспечения высокоимпедансного состояния), выбор же ячеек памяти в ряду – по адресным входам БИС, объединяя одноименные адресные разряды. При этом из k = ] log2 NЗУ [ адресных разрядов модуля ЗУ k1 = ] log2 NНК [ разряд выделяют для адресации ячеек памяти в пределах одного ряда матрицы накопителей, а k2 = k – k1 старших разрядов - для адресации рядов матрицы. Для реализации последней применяют дешифратор k2 - разрядного кода в унитарный десятичный код. Каждый выход дешифратора подключают к объединенным входам выбора микросхем ВК одного ряда накопителей. Для реализации последней применяют дешифратор k2 – разрядного кода (дешифратор двоичного кода в унитарный десятичный). Каждый выход дешифратора подключается к объединенным входам ВК одного ряда матрицы накопителей

Чтобы определиться с требуемой нагрузочной способностью микросхем определяют токи и емкость нагрузки:

по информационным входам –

,

где и - входные токи при “0” и “1” на одном информационном входе ИМС; С1вх - входная емкость по одному входу; С0вх - паразитная входная емкость, включая монтажную;

по информационным выходам БИС ОЗУ НК с высокоимпедансным состоянием

Приведем пример функциональной схемы модуля БЗУ емкостью 3Кх8, построенного с использованием БИС ОЗУ НК емкостью 1Кх4 (рис. 1). Здесь разрядность кода знака – 8, разрядность адреса – 12, mСТ = 3, mP = 2, k1 = 10, k2 = 2. Заметим, что для сокращения числа выводов следует использовать ОЗУ с двунаправленными информационными шинами вход/выход, коммутируемыми сигналом Зп/Чт.

**2. Вспомогательное буферное запоминающее устройство телевизионных графических СОИ**

Как было показано при рассмотрении структурной схемы полнографического СОИ телевизионного типа, ВБЗУ должно иметь большую информационную емкость, определяемую числом точек дискретизации информационного поля, и высокое быстродействие.

В связи с этим для построения модуля ВБЗУ широко используют БИС ОЗУ НК динамического типа, обладающие максимальной информационной плотностью на кристалл при низкой удельной стоимости на бит информации. К сожалению выпускаемые БИС этого типа имеют небольшую информационную емкость до 1Мбит (в основном до 256 Кбит). Время выборки tв БИС МДП‑технологии в пределах 100-200 нс. Недостатком динамических ОЗУ является необходимость организации процесса регенерации содержимого памяти в связи с ограниченным сроком хранения информации в этих ИМС. Обычно период регенерации ≤ 2мс.

Время выборки ВБЗУ относительно адреса БИС ОЗУ при непосредственном съеме информации в канал формирования видеосигналов должно быть tв ≤ ТЭ. Это условие выполняется при относительно небольшом числе ЭО в строке. Поэтому при большом числе точек организуют параллельный вывод информации, в связи с чем разрядность ячейки памяти ВБЗУ в режиме записи nВБЗУW и в режиме чтения nВБЗУR будут различны:

nВБЗУR ≥ nВБЗУW \* mR,

где mR - коэффициент увеличения разрядности ВБЗУ при чтении:

mR ≥ tв ВБЗУ / (ТЭ - tDRG),

где tDRG - время задержки в выходном регистре ВБЗУ.

В то же время запись информации в ВБЗУ производится побитно для черно-белого изображения или с разрядностью nВБЗУW при кодировании признаков цветности или градации яркости.

Следовательно, ВБЗУ строится по принципу памяти с переменной организацией. При записи -

CВБЗУW = NВБЗУW \* nВБЗУW;

при чтении

CВБЗУR = NВБЗУR \* nВБЗУR.

При сохранении постоянной информационной емкости ВБЗУ в обоих режимах изменение разрядности ячеек памяти приводит к изменению их числа [приравнять (в) и (с) и учесть (а)]:

NВБЗУR = NВБЗУW / mR.

При синтезе модуля ВБЗУ из БИС ОЗУ НК емкостью

CНК = NНК \* nНК,

где NНК и nНК - число ячеек памяти накопителя и их разрядность, число ИМС, требуемых для наращивания разрядности

mP = ] nВБЗУR / nНК [,

а число рядов матрицы накопителей, необходимое для наращивания объема ВБЗУ с целью получения требуемого количества NВБЗУ ячеек памяти

mСТ = ] NВБЗУR / NНК [.

Информация с выхода модульного БИС ОЗУ представлена nВБЗУR - разрядным параллельным кодом. Для преобразования ее в импульсы яркостной модуляции (последовательный код) применяют комбинированный регистр (параллельный ввод – последовательный вывод). При этом частота сдвига определяется fТГ, а цикличность преобразования (частота поступления сигналов Зп/Чт) –

fЗп/Чт = fТГ / mP.

В большинстве динамических ЗУ регенерация осуществляется при обращении (записи или считывании) по строке (столбцу). Это означает, что регенерируется содержимое всех ячеек памяти, находящихся в одной строке (столбце) с адресуемой.

При регенерации телевизионного изображения осуществляется последовательное считывание содержимого ВБЗУ по строкам. Обращение ко всем NЭС элементам одной строки ВБЗУ при квадратной матрице происходит за период регенерации памяти

Трег = ТС mP √(NНК) / NЭС.

В качестве примера составим структурную схему модуля ВБЗУ для полнографического СОИ телевизионного типа при NЭС = NЭВ = 512, βТ = 0.75, βВ = 0.9, α0 = 0.18, изображение строится без полутонов, т.е. NАП = 2.

# Тогда

nВБЗУW = ] log2 NАП [ = ] log2 2 [ = 1;

CВБЗУW = NЭС \* NЭВ \* nВБЗУW = 512 \* 512 \* 1 = 256Kx1.

Принимая информационную емкость БИС ОЗУ НК 64Кх1 с временем выборки tв ≤ 120 нс, имеем

ТЭ = βГ (1 - αС) / (NЭС fС) = 0.82 \* 0.75 / (512 \* 15625) = 77 нс;

при tDRG ≤ 30 нс

mR ≥ 120 / (77 – 30) = 3 ≈ 4;

nВБЗУR ≥ nВБЗУW \* mR = 1 \* 4 = 4;

mP= ] nВБЗУR / nНК [ = ] 4 / 1 [ = 4;

NВБЗУR = NВБЗУW / mR = 256K / 4 = 64K;

mC = ] NВБЗУR / NНК [ = ] 64K / 64K [ = 1.

На основании полученных результатов построим функциональную схему ВБЗУ. При этом будем иметь ввиду, что требуемую емкость ВБЗУ для записи (256Кх1) следует нарастить из четырех БИС ОЗУ НК. Запись информации будет происходить поочередно в одноименные ячейки памяти (с одинаковым адресом) каждый ИМС. Для этого младшие разряды А1 и А2 счетчика адреса записи CrABX возможно подавать на вход дешифратора DC двоичного кода в унитарный десятичный, а выбор ИМС – осуществить по входу “ВК” (выбор кристалла). Остальные адресные разряды счетчиков CrABX и CrABY (выходы соответствующих мультиплексоров MSX и MSY) подадим на объединенные адресные входы БИС. Информационные входы БИС объединим и подключим к выходу Q ГВ.

Организацию ВБЗУ (64Кх4) в режиме чтения обеспечим перестройкой матрицы накопителей таким образом, чтобы получить одну строку (mC =1) с четырьмя БИС в строке (mP =4).Это осуществим с помощью счетверенного двухканального мультиплексора MS.

В режиме записи MS обеспечит подключение ко входам ВК выходов DC номера ряда матрицы накопителей.

В режиме чтения (256Кх1) – на входы ВК всех ИМС подадим логическую “1”, что приведет к увеличению разрядности информационных слов (nВБЗУR =4). Сигнал адреса чтения подадим с выходов счетчиков CrAPX и CrAPY на объединенные адресные входы всех БИС.

Для преобразования параллельного выходного кода модулей ВБЗУ в сигнал яркостной модуляции ЭЛТ применим комбинационный регистр RG, осуществляющий параллельное занесение информации с приходом сигнала записи (каждый четвертый тактовый импульс), а в паузе между ними (интервал чтения) – последовательный сдвиг информации с тактовой частотой fТГ. Разрядность RG определяется mP.

**3. Кодирование информации о графике знаков в ПЗУ знакогенераторов телевизионных СОИ**

Основой знакогенераторов телевизионных СОИ в большинстве случаев служит ПЗУ, в которых хранится информация о графике всех знаков используемого алфавита.

При использовании стандартного алфавита целесообразно применять масочные ПЗУ (МПЗУ), запись информации в которые производится с помощью фотошаблона на заводе-изготовителе. Достоинством знакогенераторов на МПЗУ является высокая надежность хранения информации и низкая стоимость при массовом производстве. Для знакогенераторов выпускают МПЗУ различной технологии (биполярная, р-МОП, например). Например, МПЗУ К555РЕ4 (ТТЛШ – технология) имеет информационную емкость 2Кх8, реализует хранение 160 символов при размерности матрицы знака 7х9, код обмена информацией КОИ-8, время выборки относительно адреса 110 нс, время выборки относительно сигнала выбора микросхемы 40 нс, потребляемую мощность 850 мВт.

Для хранения информации о графике каждого знака требуется h′з ячеек памяти с разрядностью b′з. Требования к информационной емкости ПЗУ знакогенератора определяются полученными ранее условиями (NЗУ ≥ NЗ \* h′з) и (CПЗУ ≥ NЗУ \* b′з) и определяется основанием кода алфавита NАЗ и размерностью матрицы h′зхb′з:

число ячеек памяти

NПЗУ ≥ NАЗ \* h′з = NАЗ2nY,

где nY - разрядность адресных входов ПЗУ:

nY = ] log2 h′з [; CПЗУ = NПЗУ b′з.

Количество БИС ПЗУ накопителей m, входящих в знакогенератор, определяется условием

m = CПЗУ / CНК ] NПЗУ / NНК [ ] b′з / nНК [

m = ] NАЗ \* 2nY / NНК [ ] b′з / nНК [.

Структура БИС ПЗУ представляется из d групп nНК - разрядных ячеек памяти, где

d = NНК / 2nY.

Тогда

CНК = d \* 2nY \* nНК,

m = ] NАЗ / d [ ] b′з / nНК [.

Пример.

Пусть используется ПЗУ НК с информационной емкостью СНК = 32х8 и необходимо закодировать графику десяти цифр 0-9. Код обмена информацией двоично-десятичный с весами 8-4-2-1. Матрица знака 5х7.

В соответствии с выражениями определим число групп nНК разрядных ячеек памяти

d = 32 / 23 = 4.

Исходная организация ПЗУ будет представлена как 4х8х8, т.е. с помощью одной микросхемы можно закодировать четыре цифры.

Для выбора информации о графике одной из четырех цифр, закодированной в одной ИМС, используем два младших разряда кода цифры, подавая их на два старших разряда адреса А5, А4 ПЗУ НК. Оставшиеся три адресных разряда А3, А2, А1 используем для вертикальной развертки знака (псевдодвухкоординатный метод отображения), подавая на них код номера ряда матрицы Y3…Y1. Выбор одной из трех БИС по входам ВК осуществим через дешифратор двумя старшими разрядами кода знака Q5Q4 от БЗУ.

Тогда размещение информации о графике цифр в ПЗУ будет представлено следующим образом.

Таблица 1 - Размещение информации о графике цифр в ПЗУ

|  |  |  |
| --- | --- | --- |
| A3A2A1 | Q4Q3 | A5A4 |
| 00 | 01 | 10 | 11 |
| 000 |  |  | 0 | 0 | 0 |  |  |  | 0 |  |  |  | 0 | 0 | 0 |  |  | 0 | 0 | 0 |  |
| 001 |  | 0 |  |  |  | 0 |  | 0 | 0 |  |  | 0 |  |  |  | 0 |  |  |  |  | 0 |
| 010 |  | 0 |  |  |  | 0 |  |  | 0 |  |  |  |  |  |  | 0 |  |  |  |  | 0 |
| 011 |  | 0 |  |  |  | 0 |  |  | 0 |  |  |  |  |  | 0 |  |  |  |  | 0 |  |
| 100 | 00 | 0 |  |  |  | 0 |  |  | 0 |  |  |  |  | 0 |  |  |  |  |  |  | 0 |
| 101 |  | 0 |  |  |  | 0 |  |  | 0 |  |  |  | 0 |  |  |  | 0 |  |  |  | 0 |
| 110 |  |  | 0 | 0 | 0 |  |  |  | 0 |  |  | 0 | 0 | 0 | 0 | 0 |  | 0 | 0 | 0 |  |
| 111 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 000 |  | 0 |  |  |  | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  | 0 |  | 0 | 0 | 0 | 0 | 0 |
| 001 |  | 0 |  |  |  | 0 | 0 |  |  |  |  |  |  | 0 |  |  |  |  |  |  | 0 |
| 010 |  | 0 |  |  |  | 0 | 0 | 0 | 0 | 0 |  |  | 0 |  |  |  |  |  |  | 0 |  |
| 011 |  | 0 | 0 | 0 | 0 | 0 |  |  |  |  | 0 | 0 | 0 | 0 | 0 |  |  |  | 0 |  |  |
| 100 | 01 |  |  |  |  | 0 |  |  |  |  | 0 | 0 |  |  |  | 0 |  | 0 |  |  |  |
| 101 |  |  |  |  |  | 0 | 0 |  |  |  | 0 | 0 |  |  |  | 0 | 0 |  |  |  |  |
| 110 |  |  |  |  |  | 0 |  | 0 | 0 | 0 |  |  | 0 | 0 | 0 |  | 0 |  |  |  |  |
| 111 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 000 |  |  | 0 | 0 | 0 |  |  | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  |
| 001 |  | 0 |  |  |  | 0 | 0 |  |  |  | 0 |  |  |  |  |  |  |  |  |  |  |
| 010 |  | 0 |  |  |  | 0 | 0 |  |  |  | 0 |  |  |  |  |  |  |  |  |  |  |
| 011 |  |  | 0 | 0 | 0 |  |  | 0 | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  |
| 100 | 10 | 0 |  |  |  | 0 |  |  |  | 0 |  |  |  |  |  |  |  |  |  |  |  |
| 101 |  | 0 |  |  |  | 0 |  |  | 0 |  |  |  |  |  |  |  |  |  |  |  |  |
| 110 |  |  | 0 | 0 | 0 |  | 0 | 0 |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 111 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Y3Y2Y1 | Входы DC | 00 | 01 | 10 | 11 |
| Q2Q1 |