Содержание

Введение

1. Теоретическая часть

1.1 Описание основных параметров используемой серии логических элементов

1.2 Особенности использования выбранной серии логических элементов

2.Расчётная часть

2.1 Составление минимизированного логического выражения для формирования выходного сигнала А

2.2 Разработка функциональной схемы для формирования выходного сигнала А

2.3 Разработка принципиальной схемы для формирования выходного сигнала А

2.4 Разработка логического выражения и функциональной схемы для формирования выходного сигнала В

2.5 Разработка принципиальной схемы для формирования выходного сигнала В

2.6 Разработка принципиальной схемы для формирования выходного сигнала С

2.7 Расчёт и выбор элементов входных и выходных УСО

2.7.1 Расчёт и выбор элементов входных УСО

2.7.2 Расчёт и выбор элементов выходного УСО

2.8 Описание работы устройства

3. Конструкторская часть

3.1 Разработка чертежа принципиальной схемы. Выбор элементов схемы

3.2 Разработка сборочного чертежа. Выбор вариантов установки элементов схемы

Заключение

# Введение

В настоящее время для повышения производительности труда и других параметров технологических процессов, а также для облегчения труда людей и количества занятых рабочих в процессе производства автоматизация этих процессов. С развитием техники, в частности с появлением интегральных микросхем значительно увеличились возможности реализации автоматизированных систем, уменьшились их габариты, стоимость, увеличилась надежность.

В современной технике наиболее широко используются интегральные микросхемы на основе логик ТТЛ, ТТЛШ, КМОП, ЭСЛ. Логические элементы и цифровые электронные устройства выпускаются в составе серий микросхем, которые характеризуются общими технологическими и схемотехническими решениями, уровнями электрических сигналов и напряжением питания. Каждая серия микросхем содержит самые разнообразные цифровые устройства, характеризующих набором параметров, дающих подробное представление об этой серии. При определении параметров ориентируются на логические элементы - простейшие устройства серии микросхем. Выбор производится не по параметрам серии логических элементов, а по параметрам логических элементов данной серии. К наиболее важным параметрам относятся: быстродействие - время распространения сигнала, напряжение питания, входные и выходные напряжения высокого и низкого уровня.

Цель курсового проекта - разработать функциональную и принципиальную схемы для арифметико-логического устройства, выполненного в виде печатной платы, при минимальном количестве логических элементов КМОП и простоте конструкции.

# 1. Теоретическая часть

# 1.1 Описание основных параметров используемой серии логических элементов

Основные параметры микросхем на основе КМОП - логики представлены в таблице 1.

Таблица 1 - Основные параметры микросхем на основе КМОП - логики

|  |  |
| --- | --- |
| Наименование | Параметры КМОП серий К561 и 564 |
| 1. Напряжение питания, UПИТ, В  2. Напряжение уровня логической единицы, U1, В  3. Напряжение уровня логического нуля,  U0, В  4. Выходной ток нуля и единицы, I0,1, мА  5. Нагрузочная способность N  6. Потребляемый ток IПОТР, А  7. Время срабатывания tСРАБ, нс  8. Рассеиваемая мощность на элемент РРАС, мкВт | 3 … 15  ≥ 0,7 UПИТ  ≤ 0,3 UПИТ  1  ≥ 100  IПОТР = IВЫХ  200 … 20  0,4 |

# 1.2 Особенности использования выбранной серии логических элементов

Быстродействие микросхем КМОП растет пропорционально увеличению напряжения питания. Входы КМОП не должны оставаться не присоединенными. Статическая рассеиваемая мощность составляет - 0,4 мкВт на элемент. Помехоустойчивость для элементов КМОП достаточно велика, так как допустимо снижение напряжения уровня логической единицы U1 до 30% от напряжения питания. Микросхемы КМОП могут работать от сигналов ТТЛ при подключении резисторов утечки от хода КМОП на питание ТТЛ 5В. Импульсная помехоустойчивость растет, если длительность входных импульсов помехи меньше, чем среднее время задержки распространения сигнала в микросхеме. Высокое быстродействие логических элементов КМДП-типа обеспечивается тем, что паразитные емкости перезаряжаются через открытые транзисторы.

Необходимые меры защиты элементов КМОП:

1. Все входные сигналы не должны выходить за пределы напряжения питания UПИТ.

2. Нельзя соединять выходы элементов непосредственно, так как произойдет замыкание одного из каналов на источник питания.

3. Недопустимо применение емкости нагрузки СН > 5000 пФ, поскольку незаряженный конденсатор равнозначен перемычке.

4. Не допускается замыкание выходов элементов КМОП с повышенным выходным током на проводе питания.

Достоинства КМОП микросхем по сравнению с ТТЛ микросхемами:

1. Малая потребляемая мощность в статическом режиме;

2. Очень высокое входное сопротивление;

3. Большая нагрузочная способность (> 100);

4. Большой диапазон напряжения питания (3 - 15В);

5. Малая зависимость характеристик от температуры.

Недостатки КМОП микросхем:

1. Повышенное выходное сопротивление;

2. Большие времена задержки (200 нс);

3 Большой разброс всех параметров.

# 2. Расчётная часть

# 2.1 Составление минимизированного логического выражения для формирования выходного сигнала А

Состояние выходного сигнала А в зависимости от входных сигналов a,b,c,d определяется по таблице истинности представленной в таблице 2.

Таблица 2 - Таблица истинности выходного сигнала

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| a | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| b | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| c | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| d | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| A | 1 | 1 | 0 | 1 | Х | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |

Более компактно таблицу истинности можно представить с помощью карты Карно. Контуры составляются по единицам. Карта представлена на рисунке 1. (X - принимаем 1.)

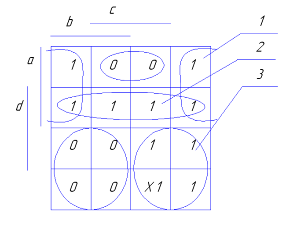


Рисунок 1 - Карта Карно

По полученным контурам составляется минимизированное логическое выражение для сигнала А.

Полученные логические выражения приводится к одной элементной базе на элементах И-НЕ при помощи правил Де Моргана.

. (1)



. (2)



# 2.2 Разработка функциональной схемы для формирования выходного сигнала А

По выражению (2) составляется функциональная схема для формирования выходного сигнала А, которая представлена на рисунке 2.

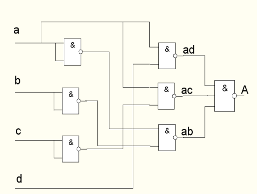


Рисунок 2 - Функциональная схема для формирования выходного сигнала А

В полученной функциональной схеме на рисунке 2 используются одинаковые логические элементы. Функциональная схема, реализованная на элементах И-НЕ.

# 2.3 Разработка принципиальной схемы для формирования выходного сигнала А

Для реализации принципиальной схемы для формирования выходного сигнала А используются один корпуса микросхем К561ЛА7 и один корпус К561ЛА9. Для создания сигналов *d*, *b* и *c* используются соответственно нормально замкнутый контакт, нормально разомкнутый и перекидной контакт. С учётом их особенностей составляется принципиальная схема.

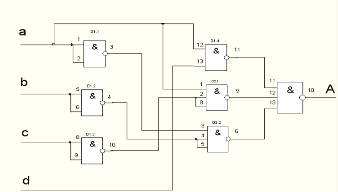


Рисунок 3 - Принципиальная схема для формирования выходного сигнала А

# 2.4 Разработка логического выражения и функциональной схемы для формирования выходного сигнала В

Состояние выходного сигнала В задано циклограммой, которая приведена на рисунке 4.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| a  b  c  d  B |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Рисунок 4 - Циклограмма работы выходного сигнала В

Во включающем такте появляется входной сигнал "с" и присутствуют сигналы "а" и "b". Тогда условие срабатывания запишется: =abc. В отключающем такте исчезает входной сигнал "d". Условие несрабатывания будет: =d.



Для получения окончательного выражения проведем проверки реализуемости:

1. Анализируем, существует ли записанное ранее условие срабатывания в течение всего периода включения.1-я проверка не пройдена, поскольку сигналы "а" и "b" изменяют свои значения в течение периода включения. Необходимо ввести промежуточный сигнал р`, чтобы он не изменял своё состояние до изменения состояния сигнала и в дальнейшем оставался неизменным (по крайней мере, до конца периода включения). Для исключения ложного срабатывания вводим сигнал p`=B. Для исключения ложного включения после исчезновения сигнала В примем комбинацию сигналов которая не повторится после исчезновения сигнала В. Итак конечное условие включения f`=abc+В.



1. Анализируем, существует ли записанное ранее условие несрабатывания во время периода включения.2-я проверка пройдена, поскольку сигнал "d" не появляется в периоде включение, а это означает, что не произойдет ложное отключение сигнала. Вторая проверка пройдена.
2. Для того чтобы после отключения “B” не создалось условия для его повторного включения (ложные срабатывания) полученное логическое выражение для “B” преобразуют, раскрывая все скобки, в сумму произведений и проверяют, не встречается ли хотя бы одна комбинация сигналов в отключенном периоде.



Поскольку ни одна из этих комбинаций не встречается в отключенном периоде, то проверка пройдена.

Описанному алгоритму работы выходного сигнала В соответствует функциональная схема, представленная на рисунке 5.

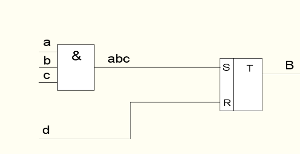


Рисунок 5 - Функциональная схема для формирования выходного сигнала В

# 2.5 Разработка принципиальной схемы для формирования выходного сигнала В

При реализации принципиальной схемы на однотипных элементах И-НЕ используются один корпус микросхемы К561ЛА8 и один элемент корпуса К561ТР2. Принципиальная схема представлена на рисунке 6.

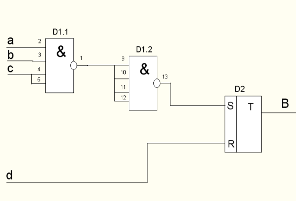


Рисунок 6 - Принципиальная схема для формирования выходного сигнала В

# 2.6 Разработка принципиальной схемы для формирования выходного сигнала С

Выходной сигнал С появляется в момент появления сигнала В, а исчезает, когда число появлений сигнала А сравняется с числом 14. Число появлений сигнала А отслеживает счетчик и при появлении сигнала А 14 раз сигнал С исчезает и счетчик обнуляется. Для формирования выходного сигнала С используются микросхемы: К561ТР2, К561ЛА8, К561ИЕ10. Принципиальная схема представлена на рисунке7.

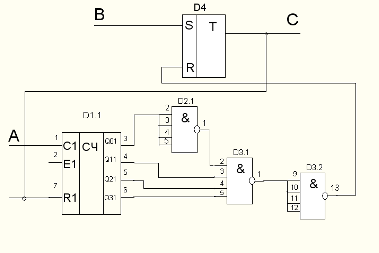


Рисунок 7 - Принципиальная схема для формирования выходного сигнала С

# 2.7 Расчёт и выбор элементов входных и выходных УСО

# 2.7.1 Расчёт и выбор элементов входных УСО

К входным устройствам согласования с объектами (УСО) относится защита от дребезга контактов. Для создания сигналов *d*, *b* и *c* используются соответственно нормально замкнутый контакт, нормально разомкнутый и перекидной контакт. При замыкании контактов после касания подвижного контакта с неподвижным в силу упругих свойств подвижный контакт начинает вибрировать около неподвижного на протяжении 0,1 - 1мс. В релейно-контакторных схемах этот дребезг не оказывал существенного влияния на работу реле. В логических схемах логика успевает сработать. Это приводит к появлению “пачки” из нескольких десятков импульсов. Чтобы логика не реагировала на эти лишние импульсы используются УСО.

1. УСО для сигнала *d.*



Рисунок 8 - УСО для сигнала *d*

По заданию входная ситуация при ненажатой кнопке воспринимается как логический ноль.

По рисунку 8 когда кнопка SB1 не нажата, конденсатор С1 разряжен и на входе логического элемента логический ноль. Когда контакт кнопки размыкается конденсатор через резистор R1 заряжается с постоянной времени T1=R1·C1 и на входе логического элемента уровень логической единицы. Во время дребезга, при замыкании, ёмкость разряжается с временем разряда



где

R - сопротивление контакта и проводов.

Таким образом ёмкость не успевает зарядиться до уровня выше, чем логическая единица.



Рисунок 9 - Временные диаграммы заряда и разряда конденсатора во время дребезга

Значения сопротивления и ёмкости определяются исходя из выражения

(3)



Сопротивление R=1МОм, T=1мс, тогда



Требуемая мощность резисторов

, (4)



где Р - мощность резистора, Вт;

UПИТ - питающее напряжение элементов, В.



Выбираются:

резистор мощностью Р=0,125 Вт и сопротивлением R=1 МОм МЛТ-0,125;

конденсатор стеклокерамический К22-5 номинальной ёмкостью С=1000пФ на номинальное напряжение U=16 В.

2. УСО для сигнала *b*.



Рисунок 10 - УСО для сигнала *b*

Когда контакт кнопки разомкнут конденсатор заряжен. В момент замыкания контакта конденсатор будет разряжаться с постоянной времени



где

R - сопротивление контакта и проводов.

Во время дребезга, при размыкании, ёмкость заряжается через R1 c постоянной времени заряда



Таким образом ёмкость не успевает зарядиться до уровня выше, чем логическая единица. Этот процесс представлен на рисунке 11.



Рисунок 11 - Временные диаграммы заряда и разряда конденсатора при дребезге

Значения R и C будут такими же, что в УСО для сигнала *d.*

3. УСО для сигнала *c.* Для перекидных контактов защиту от дребезга удобнее строить на RS-триггере.



Рисунок 12 - УСО для сигнала *c*

Значения сопротивлений резисторов и их марки аналогичны тем, что используются в УСО сигнала *d.*

4. Цепь обнуления представлена на рисунке 13. Значения R и C будут такими же, что в УСО для сигнала *d.*

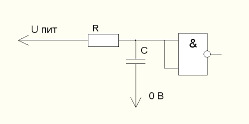


Рисунок 13 - Схема обнуления

5. На цепи питания для ограничения пульсаций питающего напряжения ставятся электролитические конденсаторы К50-6 ёмкостью 10мкФ на номинальные напряжения 16В и 50В.

# 2.7.2 Расчёт и выбор элементов выходного УСО

Выходные УСО предназначены для согласования выходных устройств с логическими элементами.

1. Выходной сигнал А. Выходным устройством является электромагнитное реле. Схема его подключения представлена на рисунке 14.

Балластный резистор Rб предназначен для ограничения тока. Когда на базу транзиcтора VT1 напряжение, то он открывается и к катушке реле прикладывается UПИТ2=27В. В момент закрытия транзистора к нему, напряжение на катушке меняет свою полярность и к транзистору приложено напряжение на катушке и UПИТ2. Это может вывести транзистор из строя. Чтобы избавиться от энергии, запасённой на катушке реле, параллельно ей включается обратный диод, на котором вся энергия рассеивается.



Рисунок 14 - Схема подключения электромагнитного реле

Диод выбирается по следующим параметрам

; (5)



где UОБР - обратное напряжение диода, В;

IПР - прямой ток через диод, мА;

IНАГР - ток нагрузки реле, мА.

IНАГР=27мА.

Выбирается диод Д 311, UОБР=30В, IПР=40мА.

Транзистор выбирается по следующим параметрам:

; ; (6)



где *β -* статический коэффициент усиления по току;

UКЭ - напряжение коллектор-эмиттер, В;

IКЭнас - ток насыщения перехода коллектор-эмиттер.



Выбирается транзистор КТ315В, *β*=30, IКЭнас=100мА, UКЭ=40В, Р=150мВт, UБЭнас=1В.

Балластный резистор выбирается по формуле

(7)



где UБЭнас - напряжение насыщения перехода база-эмиттер, В.



Выбирается резистор с номинальным сопротивлением 15кОм марки МЛТ-0,125 с мощностью рассеивания Р=0,125Вт.

2. Выходной сигнал “B” управляет семисегментным светодиодным индикатором АЛС333А с параметрами: Uпрям=2 В, Iпрям=20 мА. Необходимо высветить цифру "3", то есть нужно зажечь пять сегментов (A, B, G, С, D).

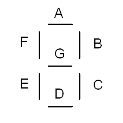


Рисунок 15 - Сегменты индикатора

Для управления индикатором воспользуемся транзисторным ключом



Рисунок 16 - Схема включения сегментов индикатора по схеме с общим катодом

Общий ток, протекающий через все сегменты, определится по формуле

(8)



где IVD - ток через один сегмент, мА; n - количество используемых сегментов.



Транзистор VT2 выбирается по выражениям

; ; (9)



КТ 3102А. *β*=120, IКЭнас=150мА, UКЭ=40В, Р=350мВт, UБЭнас=5В, UКЭнас=0,6В.

Балластный резистор выбирается по выражению (7).



Выбирается резистор с номинальным сопротивлением 15кОм марки МЛТ-0,125 с мощностью рассеивания Р=0,125Вт.

Ограничивающие резисторы рассчитываются по формуле

(10)



где ΔUсег - падение напряжения на сегменте индикатора, В.



Мощность резисторов определяется по формуле (4)



Выбираются резисторы МЛТ-0,25 R=1кОм мощностью Р=0,25Вт в количестве пяти штук.

# 2.8 Описание работы устройства

В момент подачи питающего напряжения происходит обнуление триггеров D1.2, D1.3 и счётчика D5 по RC-цепочке на элементах R5 и С4. Когда на входе устройства появится определённая комбинация сигналов *a, b, c*, *d* на выходе появляется сигнал А и реле К, которым управляет сигнал А, перекидывает свои контакты.

Сигнал В появится в том случая, если на вход триггера DD7.2 подаются сразу три сигнала: *a*, *b* и *с*, и исчезает, когда сигнал *d* перекидывается из единичного состояния в нулевое. При появлении сигнала В на семисегментном светодиодном индикаторе загорается цифра 3, а при исчезновении - гаснет.

Сигнал С появится на выходе в том случае, если появится сигнал В, а исчезнет, когда число появлений сигнала А сравняется с числом 14, при этом счётчик D5 и триггер D1.3 обнуляются.

Расчёт потребляемого тока устройством от всех источников питания и предъявление требований к источникам питания

Требования, предъявляемые к первому источнику питания:

1. Напряжение питания UПИТ1=15В±10%;
2. Ток источника питания определяется по формуле

(11)



где IDD - ток потребляемый одной микросхемой, мА;

n - количество микросхем;

IHG - ток, протекающий через один сегмент светодиодного индикатора, мА;

m - количество используемых сегментов светодиодного индикатора.

Токи, потребляемые микросхемами:

К561ЛА7 I=0,001мА;

К561ЛА8 I=0,004мА;

К561ЛА9 I=0,004мА;

К561ТР2 I=0,08мА;

К561ИЕ10 I=0,02мА.

Ток через один сегмент светодиодного индикатора I=20мА.



Требования, предъявляемые ко второму источнику питания:

1. Напряжение питания UПИТ2=27В±10%;
2. Ток источника питания

(12)



где kЗ - коэффициент запаса;

ICP - ток срабатывания реле, мА.



# 3. Конструкторская часть

# 3.1 Разработка чертежа принципиальной схемы. Выбор элементов схемы

Принципиальная электрическая схема ТПЖА.420000.230 Э3 представлена на листе формата А2. Элементы, входящие в её состав приведены в перечне элементов, который расположен на этом же листе.

# 3.2 Разработка сборочного чертежа. Выбор вариантов установки элементов схемы

Сборочный чертеж ТПЖА.420000.230 СБ печатного узла выполнен на листе формата А2 с таким расчётом, чтобы давать полное представление о форме, расположении и установке навесных элементов и других деталей. Навесные элементы выполнены условно. Все требования к сборочному чертежу и варианты установки элементов приведены на листе.

* 1. Разработка (трассировка) печатной платы

Чертёж печатной платы ТПЖА.420000.230 выполнен на листе формата А2. Шаг координатной сетки выбирается исходя из минимального расстояния между выводами отдельных элементов. Печатная плата имеет размер 125х110 мм. Технические требования и диаметры отверстий приведены на листе. Печатная плата двусторонняя из-за большого количества пересечений проводников. Это существенно уменьшает ее габариты по сравнению с односторонней.

# Заключение

В процессе работы над курсовым проектом было синтезировано арифметико-логическое устройство, реализованное на элементах цифровой (дискретной) техники. При разработке принципиальной схемы и конструктива (печатная плата и сборочный чертёж) было использовано по возможности минимальное количество логических элементов КМОП на элементах И-НЕ. Разработанное устройство полностью соответствует техническому заданию. Были рассчитаны и выбраны УСО.