ИНСТИТУТ ТРАНСПОРТА И СВЯЗИ

Факультет компьютерных наук и электроники

Кафедра электроники

Учебный курс: Цифровая схемотехника

Тип: Курсовая работа

Разработка функциональной и принципиальной схем управляющего автомата

Выполнил: студент Михаил Солюлёв

Руководитель: В.А. Кутев

РИГА 2007

# Задание для моделирования

Курсовая работа предусматривает разработку функциональной и принципиальной схем управляющего устройства (УУ) в виде цифрового автомата, реализующего микропрограммный принцип построения: "одно состояние - одна микрокоманда".

Структурная схема управления:



* Т - асинхронный RS-триггер с инверсными входами
* G - управляемый генератор тактовых импульсов
* СТ - 4-х разрядный двоичный счётчик, формирующий последовательность внутренних состояний УУ

,

Для









определяемых заданными значениями начального состояния счётчика



и его модуля счёта КСЧ.;

* DC - двоичный дешифратор осуществляет преобразование выходного кода счётчика (СТ) в m-разрядный унитарный позиционный код



для m = КСЧ и управляющих сигналов







В исходном состоянии RS-триггер находится в состоянии „RESET” и управляемый генератор (G) выключен - тактовые импульсы не формируются. По сигналу "Пуск", поступающему от внешнего источника, RS-триггер (Т) переключается в состояние “SET”, счётчик СТ устанавливается в состояние , а управляемый генератор (G) начинает вырабатывать последовательность тактовых импульсов . Каждый из формируемых тактовых импульсов вызывает изменения состояния счётчика от QНАЧ. до QКОН. И последовательно появление на выходах  управляющих сигналов с уровнем логической единицы , длительность которых определяется периодом следования тактовых импульсов (Т0). Появление единичного сигнала на выходе  соответствует завершению реализации микропрограммы. При этом на выходе дифференцирующей цепи (ДЦ) формируется сигнал "Остановк.", который переключает RS-триггер (Т) в исходное состояние. Дифференцирующая цепь в данном случае необходима для того, что бы сигнал "Остановка" не препятствовал повторному действию сигнала "Пуск".

**Параметры элементов УУ**:

* Тип счётчика (СТ) Синхронный с параллельным переносом
* Направление счёта СТ +1
* Начальное состояние СТ **Анач.** = 4
* Модуль счёта **Ксч. =** 9
* Тип триггеров для реализации СТ 7472
* Тип дешифратора DC состояний счётчика DC 4
* Выходной код DC унитарный
* Тип логики, задаваемый для реализации схемы ТТЛ
* Управляемый генератор (G) интегральный таймер
* На базе ИМС LM555CN-8 (1006BИ1)

Параметры управляющих сигналов:

* Длительность 0,1с
* Период повторения 0,2с
* Скважность 2
* Амплитуда управляющего сигнала уровень ТТЛ

Индикация:

* Выходных состояний СТ цифровая (шестнадцатеричный код)
* Управляющих сигналов светодиоды
* Источник запуска Word Generator
* Режим запуска Step by step

### 

### Синтез синхронного счётчика

По заданным исходным данным осуществим синтез синхронного счётчика (СТ), реализующего требуемую последовательность внутренних состояний УУ:

* Данный счётчик является суммирующим, производя счёт из состояния 4 девять отсчётов. Составим линейный граф выходных состояний:



* . То есть заданный счётчик можно реализовать 4 триггерами JK типа (тип 7472).
* Теперь составляем совмещённую таблицу функций переходов и входов при изменении соответствующего выходного состояния: (х - состояние входа не важно). Счётчик необходимо устанавливать в начальное (нулевое) положение при включении питания и отсутствии входного сигнала:

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| состояния | Выходные состояния | | | | Функции перехода | | | | Функции входов | | | |
| Q3 | Q2 | Q1 | Q0 | FQ3 | FQ2 | FQ1 | FQ0 | J3K3 | J2K2 | J1K1 | J0K0 |
| 0 | 0 | 0 | 0 | 0 | 0 |  | 0 | 0 | 0 x | 1х | 0 x | 0 x |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |  | 0 x | x 0 | 0 x | 1 x |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 |  |  | 0 x | x 0 | 1 x | x 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |  | 0 x | x 0 | x 0 | 1 x |
| 7 | 0 | 1 | 1 | 1 |  |  |  |  | 1 x | x 1 | x 1 | x 1 |
| 8 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |  | x 0 | 0 x | 0 x | 1 x |
| 9 | 1 | 0 | 0 | 1 | 1 | 0 |  |  | x 0 | 0 x | 1 x | x 1 |
| 10 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |  | x 0 | 0 x | x 0 | 1 x |
| 11 | 1 | 0 | 1 | 1 | 1 |  |  |  | x 0 | 1 x | x 1 | x 1 |
| 12 | 1 | 1 | 0 | 0 |  | 1 | 0 | 0 | x 1 | x 0 | 0 x | 0 x |

* Составляем СДНФ (базис "И-НЕ") функций входов триггеров, использованных при синтезе:

















* С помощью карт Карно производим минимизацию функций входов для каждого триггера:

































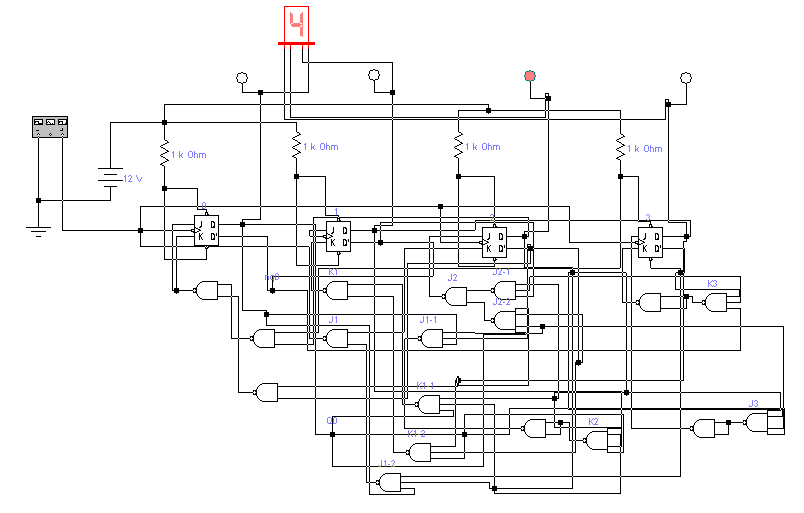
МДНФ счётчика: 

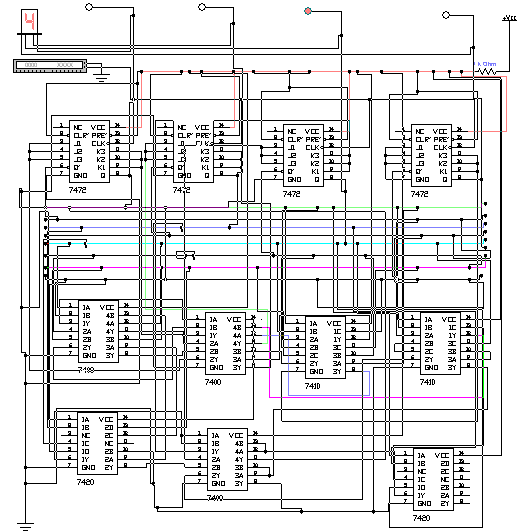
; ;

; .

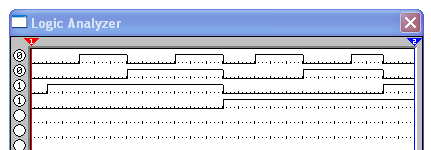
* Синтезируем счётчик. Структурную схему:



Принципиальную схему:



Временные диаграммы счётчика:



### 

### Синтез дешифратора

Мы должны получить неполный двоичный дешифратор

,

т.е. имеющий 4 входа  и 9 выходов . Составляем таблицу истинности дешифратора:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №  **Комбина-ции** | **Входы** | | | | **Выходы** | | | | | | | | |
| **Х3** | **Х2** | **Х1** | **Х0** | **Y8** | **Y7** | **Y6** | **Y5** | **Y4** | **Y3** | **Y2** | **Y1** | **Y0** |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 10 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 12 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Функции выходов:



Минимизируем функции выхода:

































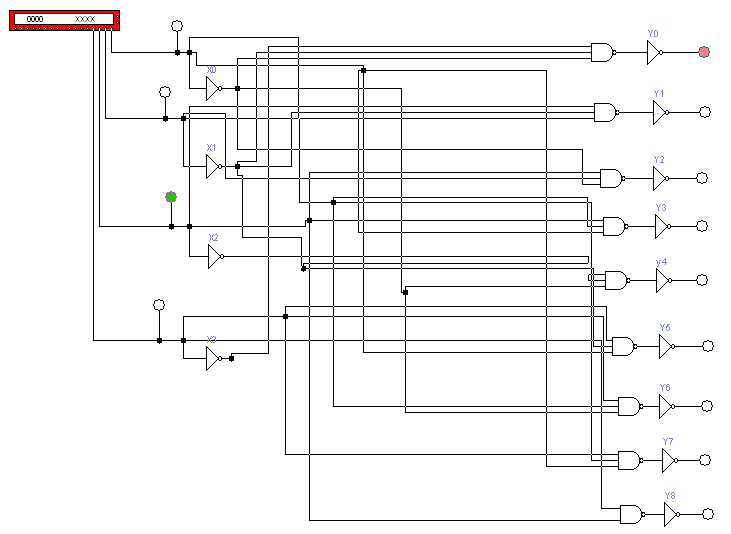




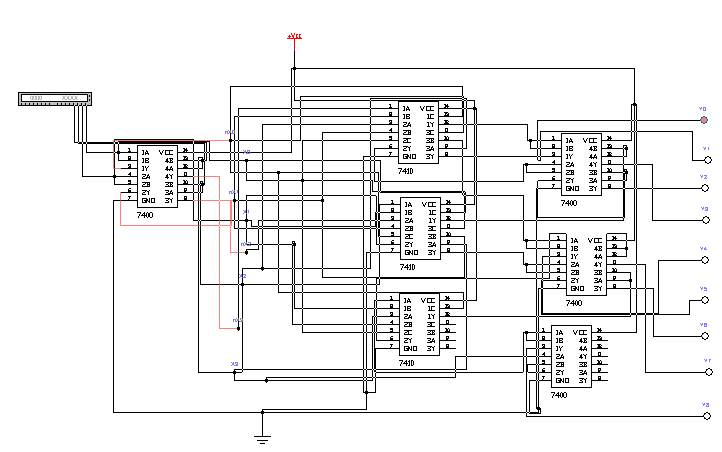
МДНФ дешифратора:

; ; ; ; ; ; ; ; .

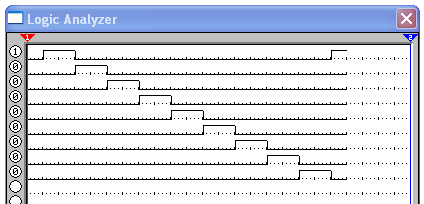
Структурная схема дешифратора:



Строим принципиальную схему дешифратора:



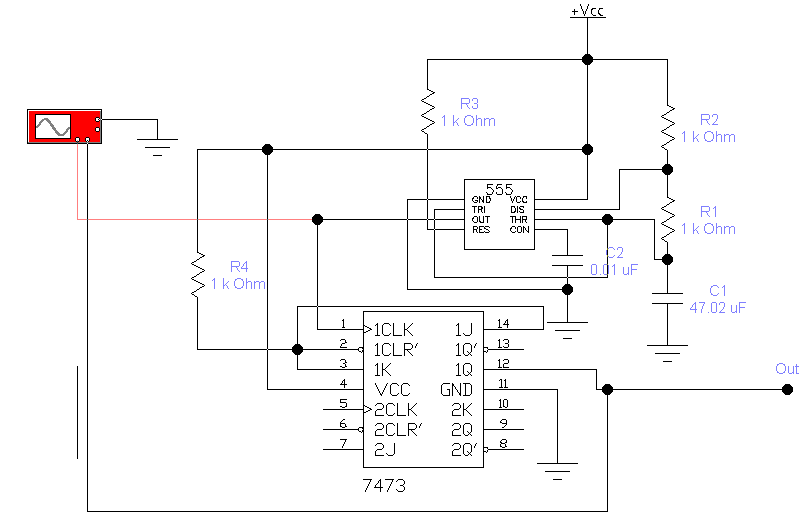
Временные диаграммы выходов дешифратора:



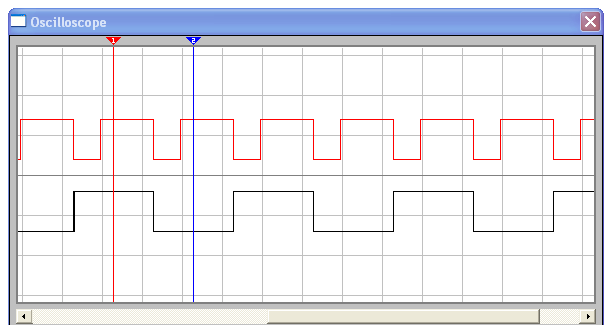
### 

### Синтез тактового генератора.

Синтезируем генератор тактовых импульсов на базе интегрального таймера серии 555. Подбором С1 и R1, R2 подбираем период импульса 100мс и скважность 1,5. На выход таймера подключаем RS-триггер типа 7473, срабатывающий по срезу управляющего импульса:



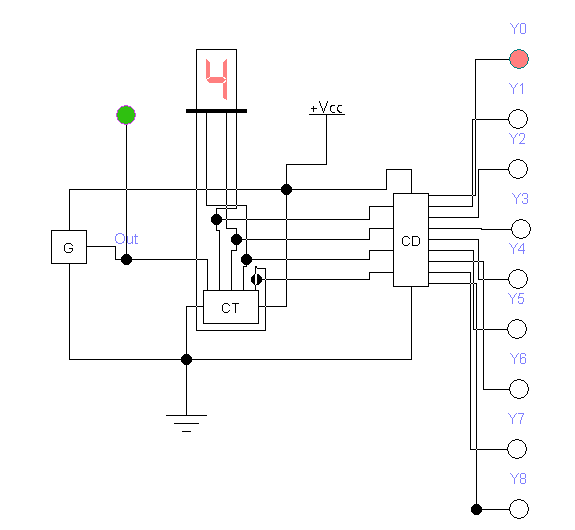
Временные диаграммы:



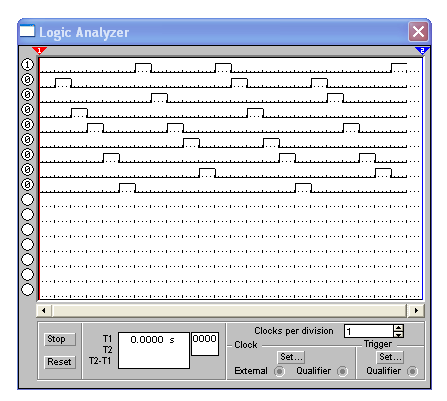
### 

### Синтез цифрового автомата.

Соединяем полученные элементы: генератор, счётчик и дешифратор в цифровой автомат. Производим перед этим преобразование этих элементов в функциональные блоки:



Временные диаграммы на выходе дешифратора:



Цифровой автомат работает полностью в соответствии с заданной логикой.