ПОЯСНИТЕЛЬНАЯ ЗАПИСКА К КУРСОВОМУ ПРОЕКТУ

по дисциплине: “ Проектирование и конструирование ИМС ”

на тему: “ Разработка узла компаратора регулятора напряжения ”

Автор курсового проекта

Специальность

Обозначение курсового проекта

КП – 02069964 – 200200 – 04 – 03

Руководитель проекта

Проект защищен

Оценка

Содержание

Введение

1. Разработка структурной схемы

2 Разработка принципиальной электрической схемы

3 Разработка топологии

Заключение

Список использованных источников

Приложение А

Введение

Основной тенденцией в современных полупроводниковых ИМС является увеличение степени интеграции. Это, как правило, проявляется в усложнении процесса проектирования топологии ИМС и в итоге появляющегося большего числа ошибок на стадии проектирования. Поэтому можно сказать, что разработка топологии ИМС является наиболее важной и ответственной операцией при проектировании любой ИМС.

В практике проектирования топологии существует много подходов. К одному из них можно отнести следующие этапы проектирования:

получение исходных данных;

расчет геометрических размеров активных и пассивных элементов;

разработка эскиза топологии;

разработка предварительных вариантов топологии;

выбор окончательного варианта топологии и его оптимизация.

Целью данного курсового проекта является расчет геометрических размеров элементов блока выходного каскада управляющей ИМС для импульсных источников питания, проектирование топологии данной схемы.

Исходными данными при этом являются: схема электрическая - принципиальная, некоторые электрические и технологические параметры.

Научной новизны курсовой проект не имеет.

1. Разработка структурной схемы

Структурная схема блока компаратора изображена на рисунке 1.1.

ИОН

Компаратор

Усилитель – ограничитель

###### **L**

Рисунок 1.1 – Структурная схема блока компаратора.

В состав структурной схемы входят следующие компоненты: источник опорного напряжения (ИОН), компаратор и усилитель – ограничитель.

Источник опорного напряжения (ИОН) построен на основе стабилизатора напряжения. Напряжение в бортовой сети автомобиля может изменяться от ~ 10В (при работе стартера) до 14…14,5В (нормальный режим), поэтому для питания компаратора необходимо стабилизированное напряжение. Стабилизатор напряжения должен содержать минимум элементов и выдавать достаточно стабильное напряжение для работы компаратора.

Компаратор напряжения должен оценивать близкое к нулю напряжение, поэтому необходимо выбрать схему компаратора, входное напряжение которого включает нулевой потенциал. Для исключения ложных срабатываний компаратора необходимо обеспечить гистерезис порога срабатывания. После первого переключения компаратора, порог переключения должен снизится до напряжения порядка 50мВ.

Усилитель – ограничитель построен на основе составного транзистора и стабилизатора напряжения. Наличие составного транзистора позволит при малых выходных токах компаратора управлять большими токами последующих устройств. В качестве стабилизатора напряжения выберем схему параметрического стабилизатора на стабилитроне Э – Б.

2 Разработка принципиальной электрической схемы

Так как напряжение в бортовой сети автомобиля может изменяться от ~10В (при работе стартера) до 14…14,5В (нормальный режим), то для питания компаратора мы применим стабилизированное напряжение. Из двух наиболее простых схем стабилизаторов (рисунок 2.1 (а) и рисунок 2.1 (б)) следует отдать предпочтение схеме на рисунке 2.1 (б) [Л4]. Эта схема выдает более стабильное напряжение Vref. менее зависящее от тока нагрузки I0. так как ток I1 через стабилитрон VD1 задается резистором R1. который можно выбрать достаточно малым. чтобы выполнялось условие:

(2.1)



а) б)

Рисунок 2.1 – Стабилизатор напряжения.

Выполнение этого условия для схемы на рисунке 2.1 (а) приведет к десятикратному увеличению тока I0, который является током потребления компаратора.

Рассчитаем значение R1 для схемы выбранного стабилизатора (рисунок 2.1 (б)). Напряжение. выдаваемое стабилизатором равно:

(2.2)



где: VB — напряжение пробоя стабилитрона,

VBE — прямое падение напряжения на переходе Б – Э n – p – n транзистора.

Типовое значение VB = 6,5В (RSB = 100Ом/□), VBE = 0,7В. Подставляя в (2.2) получим:



Значение R1 определяется из условия (2.1):

(2.3)



где: — минимальное напряжение питания, =10В,



I0 — выходной ток стабилизатора, I0 500мкА,



Βnpn — коэффициент усиления (ОЭ) n – p – n транзистора, Βnpn = 100.

Отсюда:



Компаратор напряжения должен оценивать близкое к нулю напряжение, поэтому выберем схему компаратора, входное напряжение которого включает нулевой потенциал (рисунок 2.2) [Л4].



Рисунок 2.2 – Компаратор напряжения.

Для более надежного запирания транзисторов VT1 и VT2, к их базам подключим источники тока.



Рисунок 2.3 – Компаратор напряжения с источником тока.

Рассчитаем источник тока для компаратора. Источником тока будет являться токовое зеркало на p – n – p транзисторах (рисунок 2.3) [Л5]. Учитывая, что ток потребления всей схемы не должен превышать 350мкА, выберем ток через токозадающую цепь (транзистор VТ10) равным 100мкА. Ток для питания компаратора выберем равным: 0,6 I10 = 60мкА, токи через VТ8 и VТ9 выберем равными: 0,2 I10 = 20мкА. Для уменьшения тока потребления схемы, цепочка токозадающих резисторов в цепи транзистора VТ10 будет являться делителем напряжения, служащим для организации порога срабатывания компаратора (Vth). Исходя из этого запишем систему уравнений для нахождения R1 и R2:

(2.4)



(2.5)



где: Vth — порог срабатывания компаратора.

Подставляя значения в (2.5) получим:



После совместного решения системы уравнений получим:R1 = 46кОм, R2= 5кОм.

Для исключения ложных срабатываний компаратора необходимо обеспечить гистерезис порога срабатывания. После первого переключения компаратора, порог переключения должен снизится до напряжения порядка 50мВ. На рисунке 2.4 представлена часть схемы компаратора и делитель.



Рисунок 2.4 – Часть схемы компаратора и делитель.

Для обеспечения гистерезиса потенциал базы транзистора VТ1 будем понижать с помощью транзистора VТ2. При открытии VТ2 потенциал базы VТ1 снизится до напряжения насыщения транзистора VТ2. Если базу VТ1 подключить непосредственно к делителю, то открытие транзистора VТ2 будет вызывать изменение тока через резистор R1, так как сопротивление открытого транзистора VТ2 значительно меньше номинала резистора R2. Это будет вызывать изменение токов смещения компаратора (токи I10, I9, I7, I8 в схеме на рисунке 2.3). Для минимизации этого эффекта базу транзистора VТ1 подключим к делителю через резистор R3. Требования к этому резистору: его номинал должен быть достаточно большим, чтобы выполнялось условие: R3 R2 ≈ 0,8 R2; также падение напряжения на нем не должно превышать 50мВ. Тогда примем номинал резистора R3 равным 20кОм. Падение напряжения на нем можно рассчитать по формуле (схема на рисунке 3):

(2.6)



где: βpnp — коэффициент усиления p – n – p транзистора в схеме с ОЭ, βpnp = 10.



И окончательно номинал R3 примем равным 20кОм. Такой же резистор добавим и во входную цепь другого плеча компаратора.

Для управления транзистором VТ2 в компаратор на рисунке 3 добавим еще два плеча согласно схеме на рисунке 2.5. Выход компаратора будет управлять составным транзистором (VТ16, VТ17) Это позволит при малых выходных токах компаратора управлять большими токами в цепи коллектора VТ17.



Рисунок 2.5 – Компаратор напряжения.

Для составного транзистора необходимо напряжение на базе, равное 2 VBE = 1,4В, поэтому проверим возможность достижения такого напряжения на выходе компаратора. Компаратор выдает открывающий сигнал, когда на его входе высокий потенциал. При этом транзисторы VТ2, VТ3 и VТ4, ТV5 и ТV6 (схема на рисунке 2.5), а следовательно закрыты и ток транзистора VТ7 протекает через транзисторы VТ8 и VТ9 и ответвляется в базы VТ16 и VТ15 соответственно. На базе транзистора VТ13 устанавливается близкий к нулю потенциал (потенциал коллектора открытого VТ15).

Напряжение на эмиттере транзистора VТ8 равно:

(2.7)



Напряжение на коллекторе транзистора VТ8 (выход компаратора) равно также 1,4В. Отсюда следует, что транзистор VТ8 работает в режиме, близком к режиму насыщения. Для перевода его в активный режим, в цепь эмиттера VТ13 включим транзистор в диодном включении, повышающий потенциал на эмиттере VТ8 до 2,1В. Такой же транзистор включим в цепь эмиттера транзистораVТ2.

В качестве выходного стабилизатора выберем схему параметрического стабилизатора на стабилитроне Э – Б. В качестве источника тока для стабилизатора выберем схему токового зеркала (рисунок 2.5).



Рисунок 2.6 – Параметрический стабилизатор.

Выходное напряжение данной схемы будет равно напряжению пробоя стабилитрона VB на обратносмещенном p – n переходе Э – Б. (VB = 6,5В.)

Стабилизатор должен выдавать ток IO = 10мА начиная с напряжения VS = 10В (при запуске двигателя, когда работает стартер). Этот ток протекает через транзистор VТ19. Выберем ток через VТ18 равным 500мкА (При большем токе резко падает βpnp). Тогда коэффициент отражения токового зеркала на транзисторах VТ19 и VТ18 равен:



Рассчитаем номинал резистора R5:

(2.9)



где: — напряжение насыщения транзистора VТ17 (равно 0,7В).



Окончательный вид схемы приведен в приложении А.

Рассчитаем все токи и напряжения в схеме в приложении А:



Транзисторы VТ5, VТ6, VТ10 и VТ11 будут иметь равные площади: S5 = = S6 = S10 = S11. Также S8 = S12 и S7 = S13, S4 = S16, S3 = S15.



Такой же ток втекает в базы транзисторов VT17 и VT21.

IT12 = IT10 и IT13 = IT11, IT7 = IT5, IT8 = IT6.



В итоге общий ток потребления схемы:



3 Разработка топологии

Физическая структура и ее параметры определяются требованиями, предъявляемыми к наиболее важному транзистору (группе транзисторов).

Микросхемы на основе биполярных транзисторов (рисунок 3.1.) имеют следующие слои: эмиттерный, базовый, скрытый n+-слой – диффузионные и коллекторный (эпитаксиальный) слои; подложка p-типа (при изоляции p-n переходом).

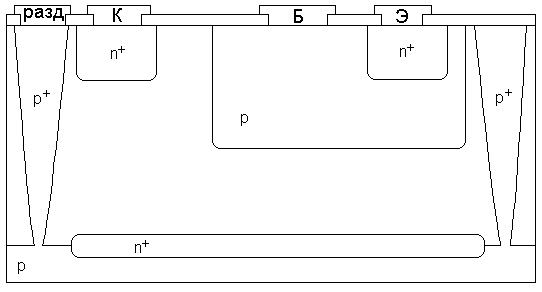


Рисунок 3.1 - Физическая структура биполярного n-p-n транзистора на основе подложки p-типа, с эпитаксиальным слоем и со скрытым слоем n+-типа.

Рисунок 3.2 – Топология n-p-n транзистора в общем виде.

Метал

Эмиттерный

Базовый

Эпитаксиальный

(коллекторный)

n+-скрытый

Разделение

Электрическая принципиальная схема компаратора напряжения приведена в ПРИЛОЖЕНИЕ А. Для этой схемы были рассчитаны номиналы резисторов и максимальные токи через транзисторы (коллекторные токи).

IT1= 0,2 мА, IT12= 30 мкА,

IT2= 20 мкА, IT13= 30 мкА,

IT3= 26 мкА, IT14= 20 мкА,

IT4= 26 мкА, IT15= 26 мкА,

IT5= 30 мкА, IT16= 26 мкА,

IT6= 30 мкА, IT17= 30 мкА,

IT7= 30 мкА, IT18= 100 мкА,

IT8= 30 мкА, IT19= 0,5 мА,

IT9= 60 мкА, IT20= 10 мА,

IT10= 30 мкА, IT21= 0,5 мА,

IT11= 30 мкА, IT22= 0,5 мА.

Так как для данной схемы коэффициенты усиления транзисторов (h21) незначительно влияют на параметры схемы то при расчете геометрических размеров h21 транзисторов учитывать не будем, но выберем структуру обеспечивающую как можно больший h21. То есть предполагаем структуру со скрытым n+ - слоем.

Расчет n-p-n транзисторов. Исходя из того, что не заданы многие параметры, позволяющие произвести более точный расчет, ограничимся некоторым приближенным расчетом.

Токовые характеристики транзисторов определяет в основном периметр эмиттера, к тому же эмиттерная область является наименьшей в интегральных транзисторах, поэтому расчет начнем с этой области.

Для расчета периметра эмиттерной области воспользуемся следующей эмпирической формулой [2]: (3.1), где IКмакс = IЭмакс –максимально допустимый ток эмиттера, мА; ПЭф - эффективный периметр эмиттера, мкм.



Эффективный периметр эмиттера зависит от конфигурации транзистора. Для маломощных транзисторов выберем асимметричную конфигурацию (рисунок 3.3), для которой эффективный периметр равен ширине эмиттера (ПЭф=BЭ) [1].

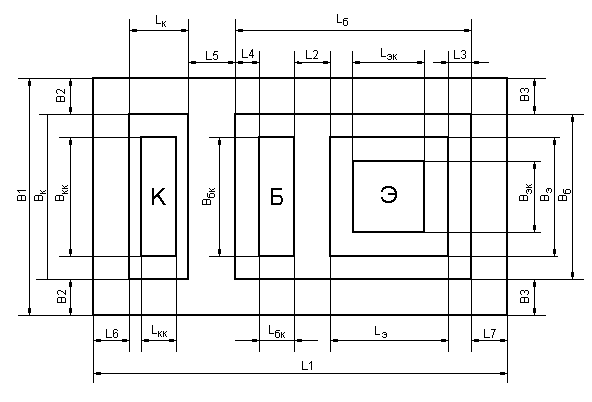


Рисунок 3.3 – Асимметричная конфигурация n-p-n транзистора.

Выберем данную конфигурацию для транзисторов VT3, VT7, VT8, VT12, VT13, VT15, VT17 исходя из заданных значений коллекторных токов.

Транзисторы VT3, VT7, VT8, VT12, VT13, VT15, VT17 будут иметь минимально возможные размеры топологии, так как их коллекторных токи очень малы.

Произведем расчет топологии приведенных транзисторов. Размеры эмиттерной области для этого случая будут определяться как (LЭК= Δ, Δ - минимальный размер окна в окисле) [1]:



Ширину базового контакта возьмем равной ширине эмиттерной области:



Расстояние от эмиттерной области до контакта к базе определим как:



Но это расстояние определяется также возможностью осуществить разводку металла от эмиттера и от базы. Металл должен перекрывать окно в окисле не менее чем на 2 мкм, к тому же расстояние между двумя соседними проводниками должно составлять не менее чем 6 мкм. Исходя из этого расстояние L2 = 8 мкм.

Рассчитаем ширину базовой области:



Возьмем BБ = 26 мкм.

Рассчитаем длину базовой области:



Определим расстояние от базовой области до области n+ - подлигирования для создания контакта к коллектору:



Здесь δ - зазор, который нужно предусмотреть, чтобы не сомкнулись базовая область и область n+ подлигирования к коллектору при расширении ОПЗ соответствующих переходов. Обычно для данного расстояния δ = xjЭ + xjБ,



Возьмем L5 = 8 мкм.

Длину n+ -области подлигирования для коллекторного контакта определим как:



Ширину этой n+- области для данной конфигурации транзистора примем равной ширине базовой области:

.



Ширина контакта к коллектору определяется как:



Расстояние от n+ -области подлигирования до разделительной области определим как:



где δ - зазор, который нужно предусмотреть, чтобы не сомкнулись разделительная область и область n+ подлигирования к коллектору при расширении ОПЗ соответствующих переходов. Обычно для данного расстояния δ ≈ 0,8⋅hepi.



Подобно определим расстояние от базовой области до разделения:



Примем L6 = L7 = 16 мкм.

Тогда B2 = B3 = L7 = 17 мкм.

Определим максимальный ток, который может обеспечить рассчитанная конфигурация транзистора в соответствии с формулой (3.1):



Рассчитаем топологию p-n-p транзистора.

Для p-n-p транзистора выберем следующую конфигурацию (рисунок 3.4).

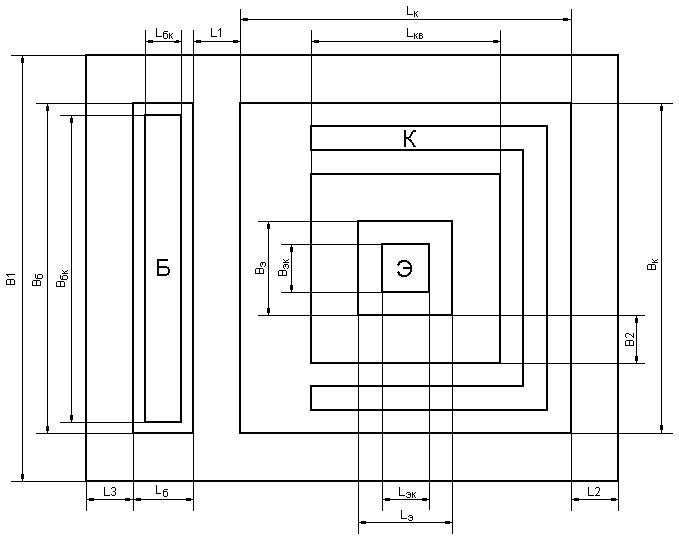


Рисунок 3.4 – Топология горизонтального p-n-p транзистора.

Через транзисторы VT4 и VT16 p-n-p типа течет ток, который может обеспечить конфигурация с минимальными возможными размерами, для этого случая и проведем расчет.

При минимальных размерах, размеры эмиттерной области будут как у n-p-n транзистора (рисунок 2.3) то есть LЭ = BЭ = 16 мкм.

Расстояние B2 которое будет шириной активной базы рассчитывается как:



где δ - зазор, который необходимо предусмотреть, чтобы при расширении ОПЗ коллекторного и эмиттерного переходов не произошло их смыкания



Примем В2 = 10 мкм.

Ширина коллекторной области в этом случае равна её длине и будет определяться как:



Примем LК = 70 мкм.

Расстояние L1 как для n-p-n транзистора (L5 на рисунке 3.3) будет L1 = 8 мкм.

Длина базовой области как для n-p-n транзистора (LК на рисунке 3.3) будет LБ = 16 мкм.

Ширину базовой области примем равной ширине коллекторной области BБ=BК=70 мкм.

Ширина контакта к базовой области определим как:



Длинна его будет минимальной, то есть 8 мкм.

Расстояния L2 и L3 будут подобны n-p-n транзистору (L6 и L7 на рисунке 3.3) и равны 16 мкм.

У транзисторов VT2, VT9, VT14, VT18 эмиттеры соединены между собой и базы также соединены между собой, поэтому используем специальную конфигурацию для этих транзисторов (приложение А). Так как токи в данных транзисторах протекают небольшие, размеры областей транзистора будут совпадать с размерами горизонтального p-n-p транзистора (рисунок 3.4).

Такую же конфигурацию используем для транзисторов VT5 и VT6, VT10 и VT11.

Расчет резисторов.

Резисторы биполярных микросхем обычно изготавливаются на основе отдельных диффузионных слоев. В данном курсовом проекте для изготовления резисторов предполагается использование специального резистивного слоя.

Ввиду того, что через все резисторы протекают очень маленькие токи, то не требуется учет минимальной ширины резистора по мощности. Поэтому возьмем ширину резистора равную минимальной ширине окна в окисле 8 мкм.

Примем вид контактных площадок, такой как у резистора на рисунке 3.6.

В схеме (приложение А) имеем следующие резисторы (по номиналам):

R1 = 70кОм,

R2 = R3 = 20кОм,

R4 = 46кОм,

R5 = 5кОм,

R6 = 17,2кОм,

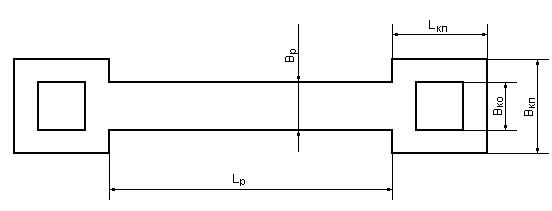


Рисунок 3.6 – Конфигурация резистора в общем виде.

Длину резисторов определим из формулы [1]:

(3.2)



где RS – поверхностное сопротивление,

К – коэффициент влияния контактных площадок.

Для выбранной конфигурации контактных площадок К = 0,2 [1].

Все резисторы высокоомные, поэтому их целесообразно выполнить на основе резистивного слоя с поверхностным сопротивлением Rs = 2000 Ом/□.

Выразим из формулы 3.2 длину резистора:

(3.3)



Рассчитаем длину резистора R1:



Рассчитаем длину резисторов R2, R3:



Рассчитаем длину резистора R4:



Рассчитаем длину резистора R5:



Рассчитаем длину резистора R6:



В ходе разработки топологии возможны некоторые изменения геометрии элементов. В частности при изменении геометрии резисторов их перерасчет делать не будем, но для обеспечения необходимого сопротивления воспользуемся возможностью построения резисторов в программе PAROM.

На этом расчет топологии завершим.

По рассчитанным размерам и выбранной конфигурации всех элементов произведенных во втором пункте в программе проектирования топологии PAROM разработаем полную топологию блока выходного каскада.

Главное требование при разработке топологии - максимальная плотность упаковки элементов при минимальном количестве пересечений межэлементных соединений. При этом обеспечивается оптимальное использование площади кристалла при выполнении всех конструктивных и технологических требований и ограничений.

Заключение

В данном курсовом проекте проведён расчёт топологической схемы на основе принципиальной схемы. Рассчитаны элементы топологической схемы с параметрами, заданными на курсовое проектирование. Проведено размещение активных и пассивных элементов на площади кристалла. Вычерчивание топологической схемы проводилось в программе ПАРОМ с последующим её переводом в программу AutoCAD 2000 для редактирования и печати.

Список использованных источников

1. Березин А.С., Мочалкина О.В. Технология и конструирование интегральных схем М. Радио и связь, 1983 г

2. Николаев И. М., Филинюк Н. А. Интегральные микросхемы и основы их пректирования: Уч. Для техникумов. – 2-е изд., перераб. и доп. - М.: Радио и связь, 1992 – 424с., ил.

3. Конструирование и технология микросхем. Курсовое проектирование: Учеб. пособие для вузов. Коледов Л.А., Волков В.А., Докучаев Н.Н. и др.; Под ред. Л.А. Коледлва.-М.: Высш. шк., 1984. 231с., ил.

4. Гребен А. Б. Проектирование аналоговых интегральных схем М. Энергия, 1976 г.

5. Соклоф С. Аналоговые интегральные схемы М. Мир, 1988г.

Приложение А

