Московский Технический Университет Связи и Информатики

Кафедра вычислительной техники и управляющих систем

### КУРСОВОЙ ПРОЕКТ

Устройство сбора данных

Группа ПС0702

Хотынский К.С

Вариант №26

Москва 2010

Содержание

Введение

Задание

Структурная схема и состав УСД

Разработка блока выработки адреса ЗУ

Разработка блока выработки адресов каналов коммутатора

Словесное описание цикла сбора данных

Синтез управляющего устройства

Абстрактный синтез УУ

Этап структурного синтеза УУ

Список литературы

Введение

Информационно - измерительные и управляющие цифровые микропроцессорные системы, к которым относится проектируемое устройство сбора данных (УСД), предназначены для измерения, сбора, обработки, хранения и отображения информации с реальных объектов. Такие системы используются практически во всех отраслях народного хозяйства для контроля и управления технологическими процессами, накопления статистических данных. В радиотехнических системах и в технике связи УСД используются для обработки сигналов, функционального контроля каналов связи, диагностирования состояния аппаратуры. Первичная информация в УСД поступает, как правило, по каналам от датчиков в виде аналогового напряжения. В УСД информационные каналы опрашиваются. Поступающие из них мгновенные отсчеты сигналов преобразуются в цифровую форму и помещаются в оперативное запоминающее устройство (ОЗУ) с целью последующей их обработки.

Аппаратура УСД состоит из двух частей - операционного и управляющего устройств (ОУ и УУ). УУ является цифровым автоматом, который вырабатывает в некоторой временной последовательности управляющие сигналы. Существуют два принципиально разных подхода к проектированию микропрограммного автомата: использование принципа схемной логики и программной логики.

Задание

Спроектировать устройство сбора данных (УСД). Имеется F аналоговых каналов. Необходимо, опрашивая их согласно заданной последовательности, получаемые из каналов аналоговые величины с помощью АЦП преобразовывать в цифровую форму (двоичные слова стандартной длины 1 байт = 8 бит) и помещать в последовательные ячейки некоторой области ЗУ, начиная с ячейки, имеющей адрес G.

Цифровая процессорная система, фрагментом которой является проектируемое УСД, имеет в своем составе ЗУ емкостью Q бит.

Нам требуется: Реализовать УСД в виде процессорного устройства, построенного на принципах схемной логики, с доведением его до уровня функционально-логической схемы.

Исходные данные на курсовой проект приведены в таблице 1.

Таблица 1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| № варианта | Число каналов | Объём ОЗУ Кбайт | Тип БИС ОЗУ | Начальный адрес ОЗУ | Период опроса канала мс |
| 26 | 8 | 2 | КР541РУ2 | 6800 | 9.5 |

Порядок опроса каналов приведен в таблице 2.

Таблица 2

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Начальная последовательность каналов | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
| Порядок опроса каналов | 1 | 3 | 4 | 8 | 2 | 11 | 9 | 7 |

Структурная схема и состав УСД

Структурная схема УСД приведена на рис. 1. В состав УСД входят:

Мультиплексор (MS): имеет F аналоговых входов и m управляющих (адресных) входов. При подаче на адресный вход двоичного числа - адреса - происходит подключение одного из аналоговых каналов, имеющих данный адрес, к выходу MS. Число опрашиваемых аналоговых каналов связано с числом адресных входов k = 2m.

АЦП: имеет 1 аналоговый вход и 8 выходов, по которым в двоичном, параллельном коде выдается число, соответствующее уровню поданного на вход АЦП отсчета аналогового сигнала. Перед началом работы АЦП на него должен быть подан сигнал запуска.

АЦП выполняет преобразования за несколько тактов. После окончания преобразования АЦП выдает сигнал ОК (окончание преобразования) на устройство управления. Сигнал ОК - флаг (обозначается как Тфл), должен быть зафиксирован с помощью триггера до момента окончания записи данных опрашиваемого канала в ячейку памяти ОЗУ.

MS и АЦП берутся как стандартные схемы с соответствующими характеристиками.

Устройство управления на некоторых тактовых интервалах с учетом осведомительных сигналов, поступающих от других устройств (в дальнейшем такие сигналы обозначаются буквой Xi), формирует управляющие сигналы Yn, которые обеспечивают запуск других устройств и согласованную их работу.

В ходе выполнения курсовой работы разрабатываются: ОЗУ, устройство выработки адреса памяти, устройство выработки адреса каналов, а также УУ.

каналы

0

1

**MХ**

**Устройство выбора канала**

**АЦП**

**Устройство управления**

**(УУ)**

**Генератор тактов**

**ПАМЯТЬ**

**Устройство выработки адреса ячейки памяти**

запуск

конец преобразования

Запись в память

0 1 m

0 1 k

адресные входы

0

1

7

Рис.1

Разработка блока выработки адреса ЗУ

Требуется синтезировать устройство, которое могло бы, начиная с определенного начального адреса G, производить формирование последующих адресов, отличающихся друг от друга на единицу. Разработку такого устройства можно осуществить с помощью счетчиков. Длина адресного слова определяется емкостью памяти.

Емкость памяти θ = 2048 = 211

Начальный адрес ячейки памяти G = 6800 16 = 0110 1000 0000 00002

Блок будет содержать три четырехразрядных суммирующих двоичных счетчика с предустановкой. Схема блока представлена на рис. 2.

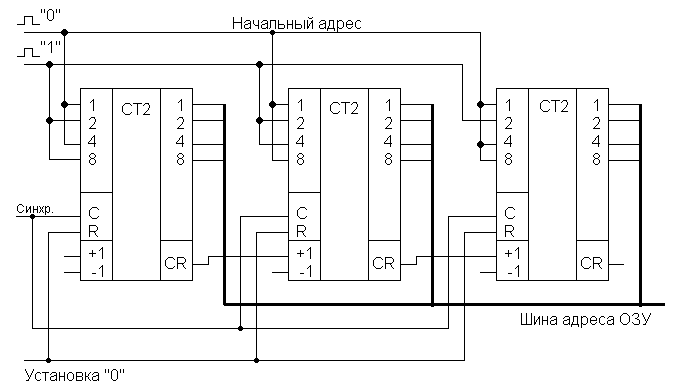


Рис. 2

Разработка блока выработки адресов каналов коммутатора

Число каналов F = 810. Блок можно синтезировать с использованием трехразрядного двоичного счетчика, последовательно формирующего двоичные адресные числа от 1 до 4 с перекодировкой данной последовательности с помощью дешифратора (DC) и шифратора (CD). После опроса всех каналов срабатывает схема прерывания счета и формируется сигнал сброса счетчика в ноль.

Адрес опрашиваемого канала подается на коммутатор (мультиплексор) параллельным двоичным кодом через ключи. Этот делается для синхронного поступления на мультиплексор всех разрядов адресного слова.

Шифратор – устройство, осуществляющее преобразование десятичных чисел в двоичные. Для обратного преобразования двоичных чисел в небольшие по значению десятичные числа используются дешифраторы. Схема блока выработки адресов каналов коммутатора показана на рис. 3.

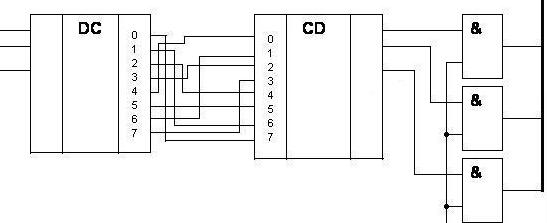


Рис. 3

Словесное описание цикла сбора данных

Составим словесное описание работы УСД в виде последовательности выполняемых в нем микроопераций.

1. Цикл сбора данных начинается с того, что в счетчик СТ2 блока выработки адресов ячеек памяти производится запись адреса первой ячейки области памяти ОЗУ, отведенной для хранения данных. Очевидно, что в качестве СТ2 удобно использовать такой счетчик, в котором предусмотрена возможность предустановки начального адреса (НА). Ввод начального адреса осуществляется параллельным кодом. Подав на одни входы установки НА логический ноль (потенциал земли или корпуса), а на другие - логическую единицу (напряжение источника питания), можно обеспечить запись требуемого адреса в счетчик в одном такте.
2. Счетчик СТ2 блока выработки номера канала сбрасывается в «0». Тем самым в нем формируется адрес аналогового канала, опрашиваемого первым.
3. Производится сброс в «0» триггера Тфл (гашение флага). При записи данных первого из опрашиваемого каналов Тфл = 0. Однако перед началом опроса всех последующих каналов, поскольку состояние триггеров флага фиксируется, Тфл = 1. Поэтому эта микрооперация необходима.
4. Адрес аналогового канала из СТ22 выдается на адресные входы коммутатора. Коммутатор подключает первый опрашиваемый канал к входу АЦП.
5. Производится запуск АЦП, и в нем начинается процесс аналого-цифрового преобразования.
6. Проверяется содержимое триггера Тфл. Пока Тфл = 0, устройство пребывает в режиме ожидания окончания преобразования в АЦП. По окончании преобразования АЦП вырабатывает сигнал ОК, устанавливающий Тфл в состоянии 1. Как только Тфл устанавливается в 1, при наличии разрешающего сигнала, осуществляется запись данных с выхода АЦП в требуемую ячейку памяти.
7. В СТ21 подготавливается адрес следующей ячейки ОЗУ путем прибавления единицы к содержимому счетчика (к адресу предыдущей ячейки).
8. В СТ22 формируется адрес следующего аналогового канала путем прибавления единицы к содержимому счетчика.
9. Проверяется содержимое счетчика СТ22. Если (СТ2) = 0, то операции 3-8 повторяются. В противном случае происходит завершение цикла сбора данных (выход из цикла), так все каналы оказываются опрошенными.

На основании словесного описания составим в соответствующем порядке список микроопераций, необходимых для управления ОУ:

y1 – установка в 0 СТ22 (сброс), (СТ2 2 ← 0);

y2 – разрешение записи начального адреса G в СТ21;

уЗ – сброс Тфл (Тфл ← 0);

у4 – разрешение передачи адреса аналогового канала на коммутатор [комм.←(СТ22)];

у5 – запуск АЦП (зап. АЦП);

yб – разрешение записи данных из АЦП в ОП [ОП ← (АЦП) ];

у7 – увеличение на 1 (CT21) приращение счетчика [инкремент СТ21 ← (СТ21) + 1];

у8 – увеличение на 1 (СТ22) - приращение счетчика [СТ22 ← (СТ22) + 1].

В процессе выполнения цикла сбора данных в ОЗУ УСД вырабатываются осведомительные сигналы: сигнал X1 = 1 — сигнал ОК и сигнал Х2 = 1 - завершение цикла сбора данных (опроса всех каналов). Если количества каналов меньше 16, а используется 16-разрядный счетчик, то необходимо составить схему, вырабатывающую сигнал логической единицы для обнуления счетчика после опроса всех каналов.

Синтез управляющего устройства

УСД состоит из двух основных узлов: операционного узла (ОУ) и узла управления (УУ). ОУ - это устройство, в котором непосредственно выполняются операции, реализуемые процессором. В нашем примере на входы ОУ поступают данные с выхода АЦП, представленные в виде параллельного двоичного кода, а преобразования, осуществляемые в ОУ, состоят в приеме этих данных из того или иного аналогового канала и пересылки их в требуемые ячейки оперативной памяти.

УУ в определенной последовательности формируют управляющие сигналы yl, у2..... и с их помощью координирует работу элементов схемы ОУ, обеспечивая в нем требуемую обработку информации. Под действием каждого из этих сигналов в элементах ОУ производятся некоторые элементарные действии, называемые микрооперациями. К числу таких действий, например, относятся разрешение записи данных в память, приведение в исходное состояние счетчика и т. п.

В каждый тактовый период синхроимпульсов в ОУ может выполняться одна или несколько независимых друг от друга микроопераций в различных элементах схемы. Набор микроопераций, выполняемых в ОУ одновременно (в одном такте), называется микрокомандой (МК), т.е. для управления всеми микрооперациями достаточно выдачи из УУ одного сигнала, который далее разветвляется по всем соответствующим направлениям. При необходимости управления микрооперацией сигналом «0», а МК = 1, в цепь передачи устанавливается инвертор.

УУ работает под действием команд - двоичных кодов, подаваемых на входы Z1, Z2... На входы XI, Х2... УУ поступают осведомительные сигналы, иначе называемые условиями или признаками, которые формируются ОУ и влияют на последующие значения управляющих сигналов Y, определяя тем самым последующие этапы преобразования операндов в зависимости от результатов, полученных в ОУ при выполнении предыдущей микрокоманды.

Абстрактный синтез УУ

На основе изложенного выше описания цикла сбора данных составляем блок-схему алгоритма функционирования:

Y1 CT1←0

Начало

Y2 Предустановка

Y3 Сброс сигнала готовности

Y5 Зап. АЦП

Y4 Ключи←1

Y7 CT21=CT1+1

Y8 CT22=CT2+1

Y6 Запись в память

Х1=1

Х2=1

Конец

Да(1)

Да(1)

Рис. 4

Анализ алгоритма показывает, что микрооперации y1, y2, а также y3, y4, y5 и y6, y7, y8 не зависят друг от друга и могут выполняться одновременно в одном такте. Следовательно, эти микрооперации в группах можно объединить в микрокоманды. Затем следует произвести разметку получившейся блок-схемы. Начало и конец блок-схемы обозначим a0, что соответствует исходному состоянию управляющего автомата. Вход каждого блока, следующего за операторными блоками, которые имеют прямоугольную форму, помечаем символами a1, a2, a3, соответствующими последующим состояниям УУ.

М1 y1, y2

М2 y3, y4, y5

M3 y6, y7, y8

X1

X2

b0

а1

а2

1

а3

b0

1

Рис.5

Далее на основе произведенной разметки блок- схемы алгоритма строится граф функционирования УСД. Каждому из состояний управляющего автомата соответствует узел графа, дугами графа изображаются переходы автомата из одного состояния в другое, причем возле каждой дуги указывается условие перехода X и выполняемая на данном тактовом интервале микрокоманда Y.

Х2 = 0

Y1

Х2 = 1

Y3

Х1 = 1

Y2

Х1 = 0

Рис.6

Этап структурного синтеза УУ

Управляющее устройство состоит из комбинационного цифрового устройства (КЦУ) и из запоминающего устройства (ЗУ), которое в свою очередь состоит из двух JK триггеров:

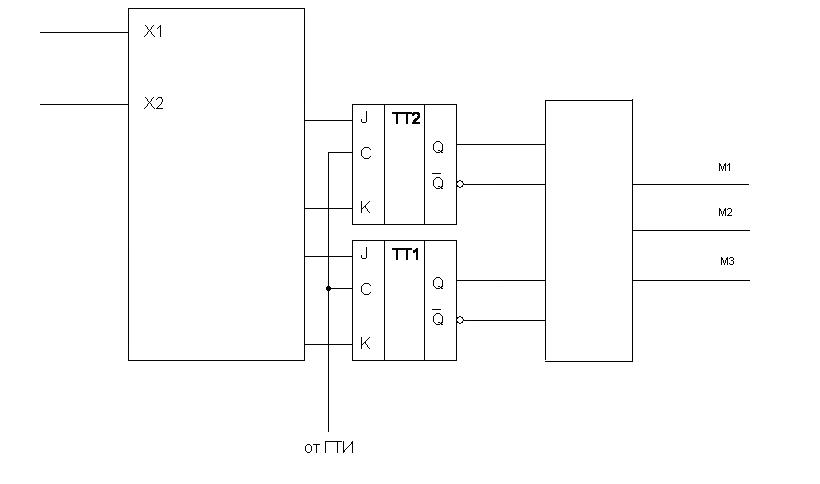


Рис.7

Эта схема содержит КЦУ и ЗУ, состоящее из двух RS – триггеров. Как известно, для обеспечения перехода RS из состояния a(t) в новое состояние a(t+1), на входе R и S нужно подавать определенные сигналы возбуждения. Набор таких сигналов показан в таблице 3.

|  |  |  |  |
| --- | --- | --- | --- |
| Q(t) | Q(t+1) | S(t) | R(t) |
| 0 | 0 | 0 | - |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | - | 0 |

Сигналы XI, Х2, Q1, и Q2 выступают в роли аргументов, а сигналы J1, K1, J2, К2, являются логическими функциями, которые должен реализовывать КЦУ1. Y1, Y2, Y3 являются логическими функциями, которые должен реализовывать КЦУ2.

Таблица 4

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | Q2 | Q1 | X2 | X1 |  | Q2’ | Q1’ | S2 | R2 | S1 | R1 |
| b0 | 0 | 0 | - | - | b1 | 0 | 1 | 0 | - | 1 | 0 |
| b1 | 0 | 1 | - | - | b2 | 1 | 1 | 1 | 0 | - | 0 |
| b2 | 1 | 1 | - | 0  1 | b2  b3 | 1  1 | 1  0 | - | 0 | -  0 | 0  1 |
| b3 | 1 | 0 | 0  1 | - | b2  b0 | 1  0 | 1  0 | -  0 | 0  1 | 1  0 | 0  - |

Далее при помощи карт Карно находим нормальные минимальные дизъюнктивные формы для функций:

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| - | - | - | - |
| - | - | 0 | 0 |

00 01 11 10

00

01

11

10

Q1Q2

X1X2

S2 = Q1

|  |  |  |  |
| --- | --- | --- | --- |
| - | - | - | - |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |

00 01 11 10

00

01

11

10

Q1Q2

X1X2

R2 = x2\*Q1

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 1 | 1 | 1 |
| - | - | - | - |
| - | 0 | 0 | - |
| 1 | 1 | 0 | 0 |

00 01 11 10

00

01

11

10

Q1Q2

X1X2

S1 = Q2vX2\*Q1

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 0 | 0 | - | - |

00 01 11 10

00

01

11

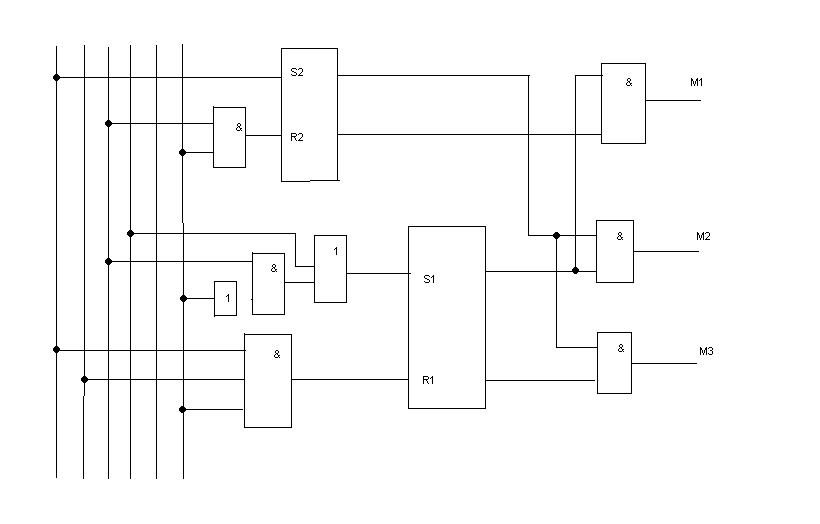
10

Q1Q2

X1X2

R1 = X1\*Q1\*Q2

На основании полученных с помощью карт Карно выражений построим обобщенную схему КЦУ в базисах И-ИЛИ (рис. 8).



Список литературы

Колотушкин Р.И. Методические указания для курсового проектирования «Устройство сбора данных». М., Инсвязьиздат, 2001.