Кафедра: Автоматика и Информационные Технологии

Лабораторная работа

«ИНТЕГРАЛЬНЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ»

**1. Цель и содержание работы**

Изучение принципа работы и технических характеристик интегральных микросхем, приобретение навыков составления, минимизации и реализации на логических элементах простых логических функций.

**2. Домашнее задание**

1. Записать паспортные данные логических элементов ТТЛ серии 155 типа И-НЕ, И-ИЛИ-НЕ [8].

2. Рассмотреть основные понятия и теоремы алгебры логики. Познакомиться с методами минимизации логических функций (диаграммы Вейча, карты Карно) [2,5,7].

3. Произвести синтез комбинационной схемы. Данные взять из табл. 2.

**3. Краткие сведения из теории полупроводниковой электроники**

В цифровой схемотехнике простейшие логические операции осуществляются с помощью логических элементов (ЛЭ). Широкое распространение получили интегральные схемы (ИС) транзисторно-транзисторной логики (ТТЛ). Большинство ИС, выпускаемых промышленностью серийно, представляют собой ЛЭ, выполняющие функции НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ и т.д.

Возможность использования ЛЭ в цифровой аппаратуре оценивается параметрами, основными из которых являются: Еп – номинальное напряжение источника питания, равное +5В для ТТЛ элементов;

*Р*пот – потребляемая элементом мощность от Еп;

*U*0вх – входное напряжение «0»;

*U*1вх – входное напряжение «1»;

*U*0вых – выходное напряжение «0»;

*U*1вых – выходное напряжение «1»;

*U*п – помехи статического напряжения;

Краз – нагрузочная способность;

Коб – коэффициент объединения по входу.

Для оценки большинства параметров ИС используют передаточную, входную и выходную характеристики ЛЭ [1,2].

Передаточная характеристика – это зависимость выходного напряжения от входного

*U*вых = *F* (*U*вх).

Входная характеристика – это зависимость входного тока от входного напряжения *I*вх = *F*(*U*вх). Выходная характеристика – это зависимость выходного напряжения от тока нагрузки (выхода) *U*вых = *F*(*I*н). По этой характеристике находят выходные токи и напряжения при различных режимах работы логического элемента. Совместное использование входной и выходной характеристик позволяет определить нагрузочную способность, коэффициент объединения по входу, а также входное и выходное сопротивления ЛЭ. Передаточная характеристика для ЛЭ с инвертированием входных сигналов и усилением по напряжению, к числу которых относятся элементы НЕ, И-НЕ, ИЛИ-НЕ, имеет два линейных участка, соответствующих уровням логического «0» и логической «1», и узкий переходной участок (см. рис. I). Переходный участок имеет пороговую точку А, являющуюся точкой пересечения передаточной характеристики с прямой единичного усиления (*U*вых = *U*вх). Передаточная характеристика совокупности однотипных логических элементов из-за отклонений параметров отдельных компонентов, обусловленных нестабильностью технологических процессов изготовления интегральных микросхем, представляет собой не одну кривую, а некоторую область, ограниченную сверху и снизу двумя граничными кривыми, показанными на рис. 2.

Рис. 3. Принципиальная электрическая схема элемента И-НЕ:

а – на два входа; б – условное обозначение ЛЭ; в-нумерация выводов микросхемы

По этой характеристике можно определить запасы помехоустойчивости элемента, проведя под углом 45° (при условии равенства масштабов по осям координат) касательные к нижней и верхней граничным кривым передаточной характеристики (рис. 2).

Согласно рис. 2, запас помехоустойчивости по нулевому уровню на входе (допустимый уровень положительной помехи) равен ∆*U*+п= *U*н-*U*вых макс. Запас помехоустойчивости по единичному уровню сигнала на входе или допустимый уровень отрицательной помехи на входе равен

∆*U*-п = *U*1вык мин – *U*пор.

На рис. 3, а представлена принципиальная электрическая схема элемента И-НЕ, являющегося базовым элементом ТТЛ. На рис. 3, б показано условное обозначение ЛЭ на принципиальных электрических схемах. (Выводы питания +5 В и общий провод допускается не показывать). На рис. 3, в-нумерация выводов микросхемы К155ЛА3 (4 логических элемента 2И-НЕ).

**Принцип работы ЛЭ И-НЕ ТТЛ**

Основная особенность микросхем ТТЛ состоит в том, что во входной цепи используется специфический интегральный прибор – многоэмиттерный транзистор (МЭТ), имеющий несколько эмиттеров, объединенных общей базой.

Эмиттеры расположены так, что непосредственное взаимодействие между ними через участок базы отсутствует. Поэтому МЭТ можно рассматривать как совокупность нескольких независимых транзисторов с объединенными коллекторами и базами. Такой транзистор занимает меньшую площадь, а следовательно, имеет малую паразитную емкость, благодаря чему предельное быстродействие микросхем ТТЛ выше. В зависимости от сигналов на входе, МЭТ работает в прямом (нормальном) либо в инверсном (обратном) включении. МЭТ имеет существенное различие в коэффициентах передачи тока в обоих режимах. В инверсном включении, когда напряжение на эмиттерах выше напряжения на коллекторе, коэффициент передачи тока очень мал (0,005 – 0,05).

При одновременной подаче на все входы ЛЭ сигналов с уровнем больше 2,3 В все эмиттерные р-n переходы МЭТ будут находиться в закрытом состоянии. При этом через резистор R1 и многоэмиттерный транзистор в базу транзистора VT2 поступает ток, открывающий этот транзистор. Часть тока эмиттера VT2 поступает в базу транзистора VT4, который также открывается. Транзистор VT3 при этом окажется в закрытом состоянии, т.к. напряжения, действующего на его базе, недостаточно для открытия перехода база-эмиттер транзистора VT3 и диода VD5. На выходе схемы сигнал будет иметь низкий уровень, что соответствует логическому нулю. Следует иметь в виду, что в аналогичном состоянии схема будет находиться, если все входы подсоединить к источнику электропитания (+Еп) или оставить их свободными.

Если хотя бы на один из входов подать сигнал с уровнем, меньшим 0,5 В, то транзисторы VT2 и VT4 окажутся закрытыми, т. к. ток базы МЭТ переключается через соответствующий открытый эмиттерный переход во входную цепь. Транзистор VT3 при этом будет открыт, а выходной сигнал будет соответствовать логической единице (высокий уровень). Схема будет находиться в этом же состоянии, если хотя бы один из входов соединить с общим проводом или соединить с другой схемой, имеющей сигнал логического нуля на выходе.

Следует отметить, что если вход ЛЭ никуда не подключен, т.е. «висит в воздухе», то это равноценно подключению его к высокому уровню.

Если один из входов подключен к «единице», а другой – к «нулю», то ЛЭ ТТЛ будет реагировать на низкий потенциал, т. к. он имеет приоритет перед высоким потенциалом.

# Микросхемы с тремя логическими состояниями

Устройства, оперирующие с дискретной информацией, при высоком уровне выходного напряжения имеют малое сопротивление между выводом «Выход» и шиной питания. В противоположном состоянии у «Выхода» малое сопротивление по отношению к общей шине. В обоих случаях выходной вывод имеет определенный электрический потенциал, который воздействует на входы последующих приборов (МС).

Существует категория МС, способных принимать и третье состояние, когда выход МС отключен от нагрузки. Такое состояние называют ВЫСОКОИМПЕДАНСНЫМ. Перевод МС в это состояние осуществляется по специальному входу Z. В зависимости от конкретного типа МС отключение выхода может осуществляться 1 или 0. Упрощенная электрическая схема элемента с тремя состояниями представлена на рис. 4. Когда на входе Z низкий уровень, то VT3 заперт и не влияет на работу схемы. Если Z имеет высокий уровень, то VT3 открыт и базы транзисторов VT1 и VT2 соединены с низким потенциалом (земля). Транзисторы VT1 и VT2 закрыты.

В результате связь логической части элемента с его выходом разрывается, элемент со стороны выхода приобретает высокий импеданс. Уровень потенциала на выходе неопределен (плавающий) – он может быть любым в зависимости от соотношения токов утечки VT1 и VT2. Третье состояние в отличие от 1 и 0 обозначается Z, а символ такого выхода – ромб с поперечной чертой. Элементы с 3 состояниями выхода разработаны специально для применения в качестве выходного управляемого буфера для подключения цифровых блоков к магистралям.

# МС с открытым коллектором

Выходы некоторых МС выполнены так, что верхний выходной транзистор и относящиеся к нему элементы отсутствуют. Это так называемые элементы **со свободным (открытым) коллектором** (рис. 5).

На его выходе формируется сигнал только низкого уровня. Поэтому для нормальной работы выходного транзистора коллектор следует подключить к источнику питания через внешнюю нагрузку: резистор, элемент индикации, реле и т.п.

Для выпуска таких МС есть по меньшей мере две причины:

1. Выходной транзистор может быть использован для управления внешними устройствами, которые к тому же могут работать от других источников питания. Например, МС 155 ЛА11 позволяет под-водить к выходному транзистору до 30 В. Эти МС легко также вводить в линейный (усилительный) режим.

2. ЛЭ с открытым коллектором допускают параллельное подсоединение нескольких выходов к общей нагрузке. Такое объединение выходов называют **МОНТАЖНОЙ (ПРОВОДНОЙ) ЛОГИКОЙ**.

Имея дело с монтажной логикой, следует учитывать, что каждый компонент схемы утрачивает самостоятельность и действует как элемент общей системы. Так, если на одном выходе низкий потенциал, то тот же потенциал окажется на выходе всей системы. Чтобы обеспечить логическую 1 на общем выходе, необходимо иметь логические 1 на всех выходах.

Каждый из ЛЭ производит операцию И-НЕ:

.

Следовательно:

Fвых.

Преобразовав последнее выражение на основе закона Де Моргана, получим:

,

или

.

Из этих выражений следует, что ЛЭ с объединенными выходами функционируют подобно ЛЭ И-ИЛИ-НЕ, выполняя операцию ИЛИ-НЕ по отношению к входным переменным, связанным операциями И в каждом ЛЭ. Такое толкование послужило причиной наименования «МОНТАЖНОЕ ИЛИ». Однако для положительной логики верно «монтажное И». Схема подключения микросхем с открытым коллектором к общей нагрузке представлена на рис. 6.

**Выполнение логических функций на логических элементах**

Сколь угодно сложные логические функции можно реализовать с помощью набора логических элементов. Наибольшее распространение получил потенциальный способ представления информации, при котором «0» и «1» соответствует низкий или высокий уровень напряжения в соответствующей точке схемы. Сигнал сохраняет постоянный уровень (нулевой или единичный) в течение периода представления информации (такта). В цифровых устройствах все данные, необходимые для вычислений, а также результаты представляются в виде набора дискретных сигналов, принимающих одно из возможных значений «0» или «1». Преобразование цифровой информации часто осуществляется в комбинационных схемах (КС). Комбинационной называется логическая цепь, состояние которой однозначно определяется набором входных сигналов и не зависит от предыдущих состояний.

Для описания комбинационных схем используется математический аппарат булевых функций – алгебра логики. Переменные *Х*1, *Х*2,…, *Х*n называются двоичными, если они принимают только два значения: «0» и «1». Функция от двоичных переменных *Y*(*Х*1, *Х*2., Хn) называется булевой, если она также принимает два значения «0» и «1». Связь между входными и выходными сигналами в КС аналитически описывается булевыми функциями. Существуют различные способы задания или представления булевых функций: словесное описание, табличный способ, алгебраический способ.

От таблиц истинности можно перейти к алгебраической форме представления функций. В такой форме удобно производить различные преобразования функций, например, с целью их минимизации.

Основные булевы функции двух переменных, их обозначение и наименования приведены в табл.I.

Система, содержащая функции конъюнкции, дизъюнкции и отрицания, является функционально полной. К ним относятся Стрелка Пирса и Штрих Шеффера.

Таблица 1

|  |  |  |
| --- | --- | --- |
| Аргументы | Обозначения | Наименование |
| *:* 0 0 1 1 |
| : 0 1 0 1 |
| 1 1 0 0 |  | Отрицание или инверсия |
| 0 1 1 1 |  | Дизъюнкция |
| 0 0 0 1 |  | Конъюнкция |
| 0 1 1 0 |  | Сложение по модулю 2 (неравнозначность) |
| 1 0 0 0 |  | Стрелка Пирса |
| 1 1 1 0 |  | Штрих Шеффера |
| 1 0 0 1 |  | Равнозначность |

# Основные теоремы алгебры логики

Элементарные логические операции над двоичными переменными реализуются электронными схемами – логическими элементами. Один и тот же закон преобразования информации можно рассматривать, используя различные типы комбинаций ЛЭ и связи между ними. На рис. 7 показана функционально полная система совокупности элементов И, ИЛИ, НЕ. На рис. 8 показана реализация логических операций НЕ, ИЛИ, И только с помощью одного элемента И-НЕ.


## Рис. 7. Функционально полная система элементов И, ИЛИ, НЕ

Рис. 8. Реализация логических операций в базисе И-НЕ

# Синтез переключательной функции

Любая логическая функция может быть представлена в дизъюнктивной или конъюнктивной нормальной форме (ДНФ или КНФ). ДНФ представляет собой логическую сумму элементарных произведений, каждое из которых аргумент или его отрицание входит не более одного раза.

Если каждое слагаемое содержит все переменные или их отрицания, то имеет стандартную форму (СДНФ): совершенную дизъюнктивную нормальную форму (СДНФ), которая является одним из вариантов алгебраического способа задания булевых функций.

Синтез переключательной функции состоит в получении ее ДНФ или КНФ и получении минимальной формы функций. При синтезе схем выполняется задача построения схем с использованием минимального числа элементов в базисе И-НЕ или ИЛИ-НЕ.

Синтез комбинационных схем с одним выходом осуществляется в следующей последовательности.

На первом этапе осуществляется запись условий функционирования в виде логической функции, словесно в виде таблиц истинности, структурных формул.

На втором этапе осуществляется запись и минимизация структурной формулы, т.е. осуществляется приведение переключательной функции к совершенной нормальной форме и ее минимизация.

На третьем этапе осуществляется запись минимизированной структурной формулы на заданном базисе. Чаще всего в универсальных базисах И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ.

На четвертом этапе составляется структурная схема, определяющая число элементов и необходимые соединения между ними. Рассмотрим пример синтеза комбинационной схемы. Пусть заданы условия функционирования в виде таблицы истинности (табл. 2, вариант 13). Записываем структурную формулу в виде СДНФ по таблице истинности

 (1)

Число слагаемых определяется числом единичных наборов (Y = 1) таблицы истинности, а число сомножителей определяется числом независимых переменных, входящих в рассматриваемые наборы.

Для реализации этой функции необходимо иметь 4 трехвходовых элемента И и один четырехвходовый элемент ИЛИ.

Минимизацию структурной формулы (1) произведем при помощи диаграммы Вейча (рис. 9). Получаем выражение

которое также можно получить, применив правило склеивания,

Полученную минимизированную структурную формулу можно также представить в виде

Производим преобразования структурных формул (2) и (4) в базисе И-НЕ, используя законы инверсии (формулы де Моргана):

Структурные схемы, составленные по формулам (2), (5) и (6), приведены на рис. 10. Видим, что после минимизации для реализации функции требуется меньшее число логических элементов.

Рис. 9. Минимизация переключательной функции при помощи диаграмм Вейча

Рис. 10. Примеры реализации минимизированной функции согласно выражениям (2), (5), (6)

**4. Используемая аппаратура**

Лабораторный стенд, лицевая панель которого представлена на рисунке в прил. 1, цифровой вольтметр, приборы для измерения постоянных токов и напряжений, осциллограф типа С1–6В (или другой).

**5. Подготовка к работе**

Изучить параметры интегральных схем серии К155 [I].

Изучить описание лабораторной работы.

Изучить описание лабораторной установки (см. прил. 1).

Произвести синтез комбинационной схемы. Данные взять из табл. 2.

Таблица 2

|  |  |  |  |
| --- | --- | --- | --- |
| *X*1 | *X*2 | *X*3 | Варианты *Y*У |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 |
| 00001111 | 00110011 | 01010101 | 01110101 | 11001010 | 00100111 | 00011100 | 11100011 | 11010001 | 00011110 | 10001111 | 10101110 | 01011001 | 00010111 | 01010101 | 01011010 |

По заданной таблице истинности написать логическое выражение в СДНФ. Произвести минимизацию, используя эвристические методы и карты Карно. По полученному выражению составить структурную схему.

**6. Порядок выполнения работы**

Познакомиться с лабораторным стендом и с наборным полем стенда. Найти ручки управления и необходимые приборы на наборном поле стенда.

– Определение статических характеристик.

Для определения статических характеристик и параметров ИМС ТТЛ нужно собрать схему исследования согласно рис. 11, а (источник +5 В подключается к ЛЭ при включении питания стенда). Выходное напряжение измеряется цифровым вольтметром.

Изменяя напряжение на входе с помощью потенциометра В1, фиксировать входной ток, входное и выходное напряжения. Особо отметить входное напряжение, при котором *I*вх = 0. Для уверенного построения характеристик следует получить 8–10 точек отсчетов, увеличивая их частоту при быстром измерении той или иной величины.

Рис. 11. Схемы для экспериментального изучения передаточной и входной характеристик

Рис. 12. Схемы для снятия выходных характеристик

Измерить входной ток *I*0вх и *I*1вх при работе ЛЭ друг на друга. Для этого собрать схему измерения согласно рис. 11 (б). Для получения на выходе *DD*2 низкого уровня – «0», вход ее необходимо подключить к высокому уровню – «I». Для обеспечения «I» – вход подключить к низкому уровню – «0».

– Исследование выходных характеристик

Собрать схему измерения согласно рис. 12а, подключив вход *DD*1 к «0». Изменяя величину *R*н, регистрировать ток *I*1н = *I*1вх и *U*1н = *U*1вх

Внимание! Следите, чтобы выходной ток не превысил допустимый для данного типа ИМС. Данные свести в табл. 3.

Изменить схему, подключив вход ЛЭ к «I». В этом случае ток нагрузки «втекает» в ЛЭ. Изменяя напряжение делителя *R*1, регистрировать *I*0н и *U*0вых. Данные свести в табл. 3.

Таблица 3

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *U*0вых, В |  |  |  |  |  |  |  |  |  |  |
| *I*0н, мА |  |  |  |  |  |  |  |  |  |  |

– Исследование ЛЭ с тремя состояниями выходной проводимости

Рис. 13. Схема исследования ЛЭ в третьем состоянии

Собрать схему (см. рис. 13). На вход ЛЭ *DD*1 подать «1». На выходе элемента окажется низкий уровень напряжения, что и будет зафиксировано вольтметром. На вход *DD*2 подать «0». Убедиться, что это не повлияло на состояние выхода *DD*1. Подключить вход *DD*2 к ‘1’. При этом на выходе инвертора будет низкий потенциал и он закроет транзистор *VT*4 микросхемы *DD*1. В результате оба выходных транзистора *DD*1 окажутся закрытыми, что соответствует третьему состоянию с высоким выходным сопротивлением.

– Помехоустойчивость ТТЛ

Собрать схему согласно рис. 14. Постепенно увеличивая амплитуду импульсов на входе ЛЭ, отметить момент, когда на выходе появятся заметные помехи, составляющие 0,1 от полной амплитуды выходного напряжения. Измерить осциллографом амплитуду импульсов на входе.

Рис. 14. Схема для определения помехоустойчивости ЛЭ ТТЛ

Рис. 15. Схемы формирователей и генераторов на ТТЛ элементах. Сопротивление *R*I может отсутствовать, сопротивление *R*2 выбирать в пределах к2 – 4к

– Исследование комбинационной схемы

– Проверить соответствие таблице истинности преобразований, представленных на рис. 5. Для этого подавать на вход ЛЭ уровни «О» и «I», отмечая результат на выходе.

– Собрать спроектированную комбинационную схему и убедиться в правильности ее функционирования. Входные сигналы *Х* и *Т* взять с регистра кодов. Выход контролируется с помощью лампочки индикации.

– Формирователи на ЛЭ

Собрать одну из схем формирователей на ЛЭ ТТЛ и убедиться в ее работоспособности с помощью осциллографа (рис. 15). Запускающие импульсы и перепады напряжения взять с соответствующих выходов, расположенных на наборном поле.

Подать на один вход схемы И-НЕ импульс с ГИ, а на другой – импульс со спроектированного формирователя (оба импульса должны быть положительной полярности). Сравнить длительность импульса на выходе ЛЭ с длительностями на входе. Изобразить осциллограммы, объяснить результат.

7**. Обработка результатов измерений**

**7.1** По результатам измерений построить графики передаточной *Uвых = F(Uвх)*, входной *Iвх = F(Uвх)* и выходной *Uвых = F(Iвых)* характеристик. Из графиков определить пороговое напряжение, входное сопротивление для низкого и высокого уровня напряжения на входе (0,4 и 2,4 В), а также выходное сопротивление при низком и высоком уровнях напряжения на выходе:

*R*вых = ∆ *U*вых / ∆*I*н(*U*вх).

По полученным результатам вычислить коэффициент объединения по входу и нагрузочную способность рассмотренного ЛЭ.

**7.2** Записать логическую функцию выбранного варианта. Показать этапы ее минимизации. Составить схему соединений ЛЭ полученной функции в базисе И-НЕ (И-ИЛИ-НЕ).

Объяснить полученные результаты.

**8. Содержание отчета**

В отчете к лабораторной работе представить:

– схемы измерений, таблицы результатов и расчеты,

– этапы анализа логической функции и ее минимизации, схемы соединений;

– схемы для проверки таблиц истинности и результаты;

– схему формирователя с анализом ее работы;

– осциллограммы работы формирователя.

**Библиографический список**

1. Угрюмов Е.П. Цифровая схемотехника: учебное пособие для вузов / Е.П. Угрюмов. 2-е изд., перераб. и доп. СПб.: БХВ – Санкт-Петербург, 2004.

800 с.: ил.

1. Бабич Н.П. Компьютерная схемотехника./ Н.П. Бабич, И.А. Жуков. Киев.: «МК-Пресс», 2004. 576 с.: ил.
2. Алексенко А.Г. Основы микросхемотехники/ А.Г. Алексенко. 3‑е изд., перераб и доп. М.: ЮНИМЕДИАСТАЙЛ, 2002. 448 с.: ил.
3. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования/ Ю.В. Новиков. М.: Мир, 2001. 379 с.: ил.

5 Прянишников В.А. Электроника: курс лекций / В.А. Прянишников. СПб.: «Корона принт», 1998. 400 с. ил.

1. Завадский В.А. Компьютерная электроника / В.А. Завадский. Киев: ТОО ВЕК, 1996. 368 с. ил.

7 Опадчий Ю.Ф. Аналоговая и цифровая электроника / Ю.Ф. Опадчий, О.П Глудкин, А.И Гуров. М.: Изд. «Горячая линия – телеком», 1999. 768 с. ил.

8 Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре/ Е.А. Зельдин. Л.: Энергоатомиздат, 1986. 280 с. ил.

1. Шило В.Л. Популярные цифровые микросхемы: справочник/ В.Л. Шило. 2-е изд. Челябинск: Металлургия, Челябинское отд-ние, 1989. 352 с. ил.

**Приложение 1**

Описание лабораторной установки

Измерение параметров интегральных логическихсхем осуществляется на универсальном лабораторном стенде.

Универсальный лабораторный стенд имеет на передней панели ряд стабилизированных источников питания. Источники питания с помощью внешних проводничков подключаются к исследуемым схемам. С помощью таких же проводничков соединяются соответствующие выводы микросхем. Измерительные приборы подключаются к схеме внешними проводами.

На рисунке представлено коммутационное поле лицевой панели лабораторного стенда. На ней имеются выводы разъемов, в которые можно устанавливать исследуемые микросхемы. На стенде имеются генераторы одиночных импульсов (ГОИ) и непрерывной последовательности импульсов (ГИ), лампочки индикации состояния ЛЭ, счетчики импульсов (СТ1 и СТ2) с цифровым индикатором, переключатели и некоторые другие элементы, необходимые для выполнения исследований.

**Приложение 2**

|  |  |
| --- | --- |
| Шесть элементов НЕ | Шесть буферных формирователей с открытым коллекторным выходом |
| К155ЛН1, К155ЛН2, К155ЛН3, К155ЛН5, КP1533ЛН1, КP1533ЛН2 | К155ЛН4 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y4 |
| 2 | Выход Y1 | 9 | Вход X4 |
| 3 | Вход X2 | 10 | Выход Y5 |
| 4 | Выход Y2 | 11 | Вход X5 |
| 5 | Вход X3 | 12 | Выход Y6 |
| 6 | Выход Y3 | 13 | Вход X6 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y4 |
| 2 | Выход Y1 | 9 | Вход X4 |
| 3 | Вход X2 | 10 | Выход Y5 |
| 4 | Выход Y2 | 11 | Вход X5 |
| 5 | Вход X3 | 12 | Выход Y6 |
| 6 | Выход Y3 | 13 | Вход X6 |
| 7 | Общий | 14 | UП |

 |

|  |
| --- |
| Шесть логических элементов с буферным выходом |
| К564ЛН2 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | UП | 8 | Вход |
| 2 | Выход | 9 | Выход |
| 3 | Вход | 10 | Вход |
| 4 | Выход | 11 | Выход |
| 5 | Вход | 12 | Свободный |
| 6 | Выход | 13 | Вход |
| 7 | Вход | 14 | Выход |
| 8 | Общий | 15 | Свободный |

 |

|  |  |
| --- | --- |
| Два логических элемента 2И | Два логических элемента 4И |
| К155ЛИ5 | К555ЛИ, КР1533ЛИ6 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Свободный |
| 2 | Вход X2 | 9 | Свободный |
| 3 | Свободный | 10 | Выход Y2 |
| 4 | Свободный | 11 | Свободный |
| 5 | Выход Y1 | 12 | Вход X3 |
| 6 | Свободный | 13 | Вход X4 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y2 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Свободный | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Свободный |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y1 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |
| --- | --- |
| Четыре логических элемента 2И | Три логических элемента 3И |
| К155ЛИ5 | К555ЛИ1, КР1533ЛИ6 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y3 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Выход Y1 | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Выход Y4 |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y2 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y3 |
| 2 | Вход X2 | 9 | Вход X7 |
| 3 | Вход X4 | 10 | Вход X8 |
| 4 | Вход X5 | 11 | Вход X9 |
| 5 | Вход X6 | 12 | Выход Y1 |
| 6 | Выход Y2 | 13 | Вход X3 |
| 7 | Общий | 14 | UП |

 |

|  |  |
| --- | --- |
| Четыре логических элемента 2ИЛИ | Четыре логических элемента исключающее ИЛИ |
| К155ЛЛ1, К555ЛЛ1, КР1533ЛЛ1 | К564ЛП2, К176ЛП2 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y3 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Выход Y1 | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Выход Y4 |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y2 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход | 8 | Вход |
| 2 | Вход | 9 | Вход |
| 3 | Выход | 10 | Выход |
| 4 | Выход | 11 | Выход |
| 5 | Вход | 12 | Вход |
| 6 | Вход | 13 | Вход |
| 7 | Общий | 14 | UП |

 |

|  |
| --- |
| Четыре логических элемента 2ИЛИ-НЕ |
| К155ЛЕ1, К555ЛЕ1, К155ЛЕ5, К155ЛЕ6 | К561ЛЕ5, К564ЛЕ5 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Выход Y1 | 8 | Вход X5 |
| 2 | Вход X1 | 9 | Вход X6 |
| 3 | Вход X2 | 10 | Выход Y3 |
| 4 | Выход Y2 | 11 | Вход X7 |
| 5 | Вход X3 | 12 | Вход X8 |
| 6 | Вход X4 | 13 | Выход Y4 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Вход X5 |
| 2 | Вход X2 | 9 | Вход X6 |
| 3 | Выход Y1 | 10 | Выход Y3 |
| 4 | Выход Y2 | 11 | Выход Y4 |
| 5 | Вход X3 | 12 | Вход X7 |
| 6 | Вход X4 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |
| --- |
| Три логических элемента 3ИЛИ-НЕ |
| К155ЛЕ4, К555ЛЕ4 | К561ЛЕ10, К564ЛЕ10 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y3 |
| 2 | Вход X2 | 9 | Вход X7 |
| 3 | Вход X4 | 10 | Вход X8 |
| 4 | Вход X5 | 11 | Вход X9 |
| 5 | Вход X6 | 12 | Выход Y1 |
| 6 | Выход Y2 | 13 | Вход X3 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Вход X3 |
| 2 | Вход X2 | 9 | Выход Y1 |
| 3 | Вход X4 | 10 | Выход Y3 |
| 4 | Вход X5 | 11 | Вход X9 |
| 5 | Вход X6 | 12 | Вход X8 |
| 6 | Выход Y2 | 13 | Вход X7 |
| 7 | Общий | 14 | UП |

 |

|  |
| --- |
| Два логических элемента 4ИЛИ-НЕ |
| К564ЛЕ6, К561ЛЕ6 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Выход | 8 | Свободный |
| 2 | Вход | 9 | Вход |
| 3 | Вход | 10 | Вход |
| 4 | Вход | 11 | Вход |
| 5 | Вход | 12 | Вход |
| 6 | Вход | 13 | Вход |
| 7 | Свободный | 14 | Выход |
| 8 | Общий | 15 | UП |

 |

|  |  |
| --- | --- |
| Логический элемент 2–4И‑2ИЛИ-НЕ | Четыре логических элемента 2ИЛИ |
| К155ЛР4, К1533ЛР4 | К155ЛЛ1, К555ЛЛ1 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y |
| 2 | Вход X2 | 9 | Свободный |
| 3 | Вход X3 | 10 | Вход X5 |
| 4 | Вход X4 | 11 | Вход X6 |
| 5 | Свободный | 12 | Вход X7 |
| 6 | Свободный | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y3 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Выход Y1 | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Выход Y4 |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y2 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |
| --- | --- |
| Два логических элемента 4ИЛИ-НЕ со стробированием, один расширяемый по ИЛИ | Два логических элемента 4ИЛИ-НЕ со стробированием |
| К155ЛЕ2 | К155ЛЕ3 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вх. разр. Е | 8 | Выход 2Q |
| 2 | Вход 1A | 9 | Вход 2A |
| 3 | Вход 1B | 10 | Вход 2D |
| 4 | Вход 1STR | 11 | Вход 2STR |
| 5 | Вход 1C | 12 | Вход 2C |
| 6 | Вход 1D | 13 | Вход 2D |
| 7 | Вход 1Q | 14 | Вх. разр. &Е |
| 8 | Общий | 15 | Питание |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y2 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Вход Е1 | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Вход Е4 |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y1 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

Если на входе стробирования присутствует низкий уровень, вывод соответствующего элемента будет переведен в высокий уровень независимо от состояния других входов. Если на входе стробирования присутствует высокий уровень, элемент работает как обычный 4ИЛИ-НЕ. |

|  |  |
| --- | --- |
| Два элемента 4ИЛИ-НЕ и один инвертор | Два логических элемента 3ИЛИ-НЕ и логический элемент НЕ |
| К176ЛП11 | К176ЛП4 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Выход | 8 | Вход |
| 2 | Вход | 9 | Вход |
| 3 | Вход | 10 | Вход |
| 4 | Вход | 11 | Вход |
| 5 | Вход | 12 | Вход |
| 6 | Выход | 13 | Выход |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y2 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Вход Е1 | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Вход Е4 |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y1 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |
| --- | --- |
| Три логических элемента 3И-НЕ | Четыре логических элемента 2И-НЕ |
| К564ЛА9 | К155ЛА8, К555ЛА8 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход | 8 | Вход |
| 2 | Вход | 9 | Выход |
| 3 | Вход | 10 | Выход |
| 4 | Вход | 11 | Вход |
| 5 | Вход | 12 | Вход |
| 6 | Выход | 13 | Вход |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Выход Y1 | 8 | Вх. инф. |
| 2 | Вх. инф. | 9 | Вх. инф. |
| 3 | Вх. инф. | 10 | Выход Y3 |
| 4 | Выход Y2 | 11 | Вх. инф. |
| 5 | Вх. инф. | 12 | Вх. инф. |
| 6 | Вх. инф. | 13 | Выход Y4 |
| 7 | Общий | 14 | UП |

 |

|  |  |
| --- | --- |
| Логический элемент 8И-НЕ | Два логических элемента 4И-НЕ |
| К155ЛА2, К55ЛА2, КР1533ЛА2 | К155ЛА1, К155ЛА6, К155ЛА7, К555ЛА1, К555ЛА7, КР1533ЛА1, КР1533ЛА7 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y |
| 2 | Вход X2 | 9 | Свободный |
| 3 | Вход X3 | 10 | Свободный |
| 4 | Вход X4 | 11 | Вход X7 |
| 5 | Вход X5 | 12 | Вход X8 |
| 6 | Вход X6 | 13 | Свободный |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y2 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Свободный | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Свободный |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y1 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |
| --- | --- |
| Элемент 9И-НЕ и один инвертор | 2 элемента 4И-НЕ и один инвертор |
| К176ЛИ | К176ЛП12 |

|  |
| --- |
| Три логических элемента 3И-НЕ |
| К155ЛА4, К155ЛА10, К555ЛА10 | К555ЛА4, КР1533ЛА4 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y3 |
| 2 | Вход X2 | 9 | Вход X7 |
| 3 | Вход X4 | 10 | Вход X8 |
| 4 | Вход X5 | 11 | Вход X9 |
| 5 | Вход X6 | 12 | Выход Y1 |
| 6 | Выход Y2 | 13 | Вход X3 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вх. инф. | 8 | Выход |
| 2 | Вх. инф. | 9 | Вх. инф. |
| 3 | Вх. инф. | 10 | Вх. инф. |
| 4 | Вх. инф. | 11 | Вх. инф. |
| 5 | Вх. инф. | 12 | Выход |
| 6 | Выход | 13 | Вх. инф. |
| 7 | Общий | 14 | UП |

 |

|  |
| --- |
| Четыре элемента 2И-НЕ |
| К155ЛА3, К155ЛА9, К155ЛА12, К155ЛА13, К555ЛА3, К555ЛА9, К555ЛА12, К555ЛА13, КР1533ЛА3, КР1533ЛА9 | К561ЛА7, К564ЛА7, К176ЛА7 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Выход Y3 |
| 2 | Вход X2 | 9 | Вход X5 |
| 3 | Выход Y1 | 10 | Вход X6 |
| 4 | Вход X3 | 11 | Выход Y4 |
| 5 | Вход X4 | 12 | Вход X7 |
| 6 | Выход Y2 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X1 | 8 | Вход X5 |
| 2 | Вход X2 | 9 | Вход X6 |
| 3 | Выход Y1 | 10 | Выход Y3 |
| 4 | Выход Y2 | 11 | Выход Y4 |
| 5 | Вход X3 | 12 | Вход X7 |
| 6 | Вход X4 | 13 | Вход X8 |
| 7 | Общий | 14 | UП |

 |

|  |  |
| --- | --- |
| Логический элемент 2–2И‑2ИЛИ-НЕ, один расширяемый по ИЛИ | Логический элемент 2–2–2–3И‑4ИЛИ-НЕ, с возможностью расширения по ИЛИ |
| К155ЛР1 | К155ЛР3 |
|

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход X5 | 8 | Выход Y2 |
| 2 | Вход X1 | 9 | Вход X7 |
| 3 | Вход X2 | 10 | Вход X8 |
| 4 | Вход X3 | 11 | Вход A |
| 5 | Вход X4 | 12 | Вход B |
| 6 | Выход Y1 | 13 | Вход X6 |
| 7 | Общий | 14 | UП |

 |

|  |  |  |  |
| --- | --- | --- | --- |
| №выв. | Назначение | №выв. | Назначение |
| 1 | Вход | 8 | Выход |
| 2 | Вход | 9 | Вход |
| 3 | Вход | 10 | Вход |
| 4 | Вход | 11 | Вход |
| 5 | Вход | 12 | Вход |
| 6 | Вход | 13 | Вход |
| 7 | Общий | 14 | UП |

 |

**Приложение 3**

Основные параметры и характеристики микросхем КР155

|  |  |
| --- | --- |
| Входной ток, мА, не более* Низкого уровня ………………………………………………
* Высокого уровня ……………………………………………
 | -1,60,04 |
| Выходное напряжение, В* Низкого уровня, не более ………………………………….
* Высокого уровня, не менее
 | 0,42,4 |
| Выходной ток, мА, не более* Низкого уровня …………………………………………….
* Высокого уровня ……………………………………………
 | 6-0,4 |
| Нагрузочная способность…………………………………………… | 10 |
| Время задержки распространения сигнала, нс, при* Включении (*С*н=50 пФ) …………………………………….
* Выключении (*С*н=50 пФ) ……………………………………
 | 18,5\*18,5\* |
| Средний ток потребления, мА, не более …………………………. | 15\* |
| Помехоустойчивость, В, не более ………………………………… | 0,4 |
| Частота переключения, Гц, не более ……………………………… | 15 |
| Максимальное напряжение питания, В …………………………… | 6 |
| Максимальное напряжение на входе, В …………………………. | 5,5 |
| Минимальное напряжение на входе, В …………………………… | -0,4 |
| Напряжение питания, В* 155 ……………………………………………………………
* КР155 ……………………………………………………….
 | 45, – 5,54,75–5,25 |
| Максимальная емкость нагрузки, пФ ……………………………. | 200 |
| Диапазон рабочих температур, С* 155 ……………………………………………………………
* КР155 ……………………………………………………….
 | -60+125-10..+70 |

Основные параметры и характеристики микросхем КР555

|  |  |
| --- | --- |
| Входной ток, мА, не более* Низкого уровня ………………………………………………
* Высокого уровня ……………………………………………
 | -0,40,04 |
| Выходное напряжение, В* Низкого уровня, не более ………………………………….
* Высокого уровня, не менее
 | 0,42,5 |
| Выходной ток, мА, не более* Низкого уровня …………………………………………….
* Высокого уровня ……………………………………………
 | 4-0,4 |
| Нагрузочная способность…………………………………………… | 10 |
| Время задержки распространения сигнала, нс, при* Включении (*С*н=50 пФ) …………………………………….
* Выключении (*С*н=50 пФ) ……………………………………
 | 20\*20\* |
| Средний ток потребления, мА, не более …………………………. | 3\* |
| Помехоустойчивость, В, не более ………………………………… | 0,3 |
| Частота переключения, Гц, не более ……………………………… | 25 |
| Максимальное напряжение питания, В …………………………… | 5,5 |
| Максимальное напряжение на входе, В …………………………. | 5,5 |
| Минимальное напряжение на входе, В …………………………… | -0,4 |
| Напряжение питания, В* 555 ……………………………………………………………
* КР555 ……………………………………………………….
 | 45, – 5,54,75–5,25 |
| Максимальная емкость нагрузки, пФ ……………………………. | 150 |
| Диапазон рабочих температур, С* 555 ……………………………………………………………
* КР555 ……………………………………………………….
 | -60+125-10..+70 |

\*Для микросхем типа ЛА3

Основные параметры и характеристики микросхем КР1533

|  |  |
| --- | --- |
| Входной ток, мА, не более* Низкого уровня ………………………………………………
* Высокого уровня ……………………………………………
 | -0,20,02 |
| Выходное напряжение, В* Низкого уровня, не более ………………………………….
* Высокого уровня, не менее
 | 0,42,5 |
| Выходной ток, мА, не более* Низкого уровня …………………………………………….
* Высокого уровня ……………………………………………
 | 2-0,2 |
| Нагрузочная способность…………………………………………… | 20 |
| Время задержки распространения сигнала, нс, при* Включении (*С*н=50 пФ) …………………………………….
* Выключении (*С*н=50 пФ) ……………………………………
 | 44 |
| Средний ток потребления, мА, не более …………………………. | 1 |
| Помехоустойчивость, В, не более ………………………………… | 0,8 |
| Частота переключения, Гц, не более ……………………………… | 100 |
| Максимальное напряжение питания, В …………………………… | 6 |
| Максимальное напряжение на входе, В …………………………. | 5,5 |
| Минимальное напряжение на входе, В …………………………… | -0,4 |
| Напряжение питания, В……………………………………………. | 45, – 5,5 |
| Максимальная емкость нагрузки, пФ ……………………………. | 50 |
| Диапазон рабочих температур, С……………………………… | -10..+70 |

Основные параметры и характеристики микросхем КР176

|  |  |
| --- | --- |
| Входной ток, мкА, не более* Низкого уровня ………………………………………………
* Высокого уровня ……………………………………………
 | 1,01,0 |
| Выходное напряжение, В* Низкого уровня, не более ………………………………….
* Высокого уровня, не менее
 | 0,38,2 |
| Выходной ток, мкА, не более* Низкого уровня …………………………………………….
* Высокого уровня ……………………………………………
 | 2-0,2 |
| Нагрузочная способность…………………………………………… | 50 |
| Время задержки распространения сигнала, нс, при* Включении (*С*н=50 пФ) …………………………………….
* Выключении (*С*н=50 пФ) ……………………………………
 | 200200 |
| Средний ток потребления, мА, не более …………………………. | 3 |
| Помехоустойчивость, В, не более ………………………………… | 0,8 |
| Частота переключения, Гц, не более ……………………………… | 100 |
| Максимальное напряжение питания, В …………………………… | 9 |
| Максимальное напряжение на входе, В …………………………. | 8,5 |
| Напряжение питания, В……………………………………………. | 9±5% |
| Максимальная емкость нагрузки, пФ ……………………………. | 50 |
| Диапазон рабочих температур, С……………………………… | -40..+70 |

Основные параметры и характеристики микросхем КР654

|  |  |
| --- | --- |
| Входной ток, мкА, не более* Низкого уровня ………………………………………………
* Высокого уровня ……………………………………………
 | -0,051,0 |
| Выходное напряжение, В* Низкого уровня, не более ………………………………….
* Высокого уровня, не менее
 | 2,97,2 |
| Выходной ток, мкА, не более* Низкого уровня …………………………………………….
* Высокого уровня ……………………………………………
 | 0,5-10 |
| Нагрузочная способность…………………………………………… | 50 |
| Время задержки распространения сигнала, нс, при* Включении (*С*н=50 пФ) …………………………………….
* Выключении (*С*н=50 пФ) ……………………………………
 | 110160 |
| Средний ток потребления, мА, не более …………………………. | 6 |
| Помехоустойчивость, В, не более ………………………………… | 0,8 |
| Частота переключения, Гц, не более ……………………………… | 100 |
| Максимальное напряжение питания, В …………………………… | 10 |
| Максимальное напряжение на входе, В …………………………. | 9,5 |
| Напряжение питания, В……………………………………………. | 10±10% |
| Максимальная емкость нагрузки, пФ ……………………………. | 50 |
| Диапазон рабочих температур, С……………………………… | -60..+125 |