Министерство Путей Сообщения

**РОССИЙСКИЙ ГОСУДАРСТВЕННЫЙ ОТКРЫТЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПУТЕЙ СООБЩЕНИЯ**

Воронежский Филиал

#### КУРСОВАЯ РАБОТА

***ПО СХЕМОТЕХНИКЕ***

на тему: “Разработка блока памяти микропроцессорной системы”

|  |
| --- |
| Выполнил: студент 3 курсаБобкин И. Г.уч. шифр: 96 - ВЭВМ – 810 |
| Рецензент: к.т.н. доцент **Ермаков А.Е.** |

 **ВОРОНЕЖ**

**1999**

**СОДЕРЖАНИЕ**

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА. 3

1. Задание на курсовое проектирование 3

2. Особенности построения блоков памяти 4

3. Описание принципов работы разрабатываемых блоков. 6

3.1. Разработка электрических схем блоков ПЗУ и ОЗУ. 6

3.2. Разработка селектора адреса. 8

3.3. Временная диаграмма работы БП. 9

4. Расчет электрических параметров блока памяти. 10

ГРАФИЧЕСКАЯ ЧАСТЬ. 12

1. Функциональная схема блока памяти. 12

Литература 14

# ПОЯСНИТЕЛЬНАЯ ЗАПИСКА.

## 1. Задание на курсовое проектирование

Разработать блок памяти микропроцессорной системы,

где: объём ПЗУ составляет 20К\*8 и строится на микросхемах К556РТ20
объём ОЗУ составляет 10К\*8 и строится на микросхемах К132РУ9А
серия микросхем используемых в качестве дешифраторов,
буферов шин и т.д. – 1554

Режимы работы блока памяти определяются внешними управляющими сигналами MEMWR, MEMRD.

## 2. Особенности построения блоков памяти

Компактная микроэлектронная “память” широко приме­няется в современной электронной аппаратуре самого различно­го назначения. В ЭВМ па­мять определяют как функциональную часть, предназна­ченную для записи, хранения и выдачи команд и обрабатывае­мых данных. Комплекс технических средств, реализующих функ­цию памяти, называют запоминающим устройством (ЗУ).

Для обеспечения работы процессора (микропроцессора) необ­ходимы программа, т. е. последовательность команд, и данные, над которыми процессор производит предписываемые командами операции. Команды и данные поступают в основную память ЭВМ через устройство ввода, на выходе которого они получают циф­ровую форму представления, т. е. форму кодовых комбинаций О и 1. Основная память, как правило, состоит из ЗУ двух видов — оперативного (ОЗУ) и постоянного (ПЗУ).

Оперативное ЗУ предназначено для хранения переменной информации, оно допускает изменение своего содержимого в ходе выполнения процессором вычислительных операций с дан­ными. Это значит, что процессор может выбрать (режим считы­вания) из ОЗУ код команды и данные и после обработки по­местить в ОЗУ (режим записи) полученный результат. Причем возможно размещение в ОЗУ новых данных на местах прежних, которые в этом случае перестают существовать. Таким образом, ОЗУ может работать в режимах записи, считывания и хранения информации.

Постоянное ЗУ содержит информацию, которая не должна изменяться в ходе выполнения процессором программы. Такую информацию составляют стандартные подпрограммы, табличные данные, коды физических констант и постоянных коэффициентов и т. п. Эта информация заносится в ПЗУ предварительно, и в ходе работы процессора может только считываться. Таким образом ПЗУ работает в режимах хранения и считывания.

Функциональные возможности ОЗУ шире, чем ПЗУ: ОЗУ может работать в качестве ПЗУ, т. е. в режиме многократного считывания однократно записанной информации, а ПЗУ в ка­честве ОЗУ использовано быть не может, так как не позволяет в процессе работы изменить, занесенную в него информацию. В свою очередь, ПЗУ обладает преимуществом перед ОЗУ в свойстве сохранять информацию при сбоях и отключении пита­ния. Это свойство получило название энергонезависимость. Опе­ративное ЗУ является энергозависимым, так как информация, записанная в ОЗУ, утрачивается при сбоях питания.

Для микросхем памяти, выпускаемых отечественной промыш­ленностью, характерны широкая номенклатура типов, значитель­ное , разнообразие вариантов конструктивно-технологического исполнения, большой диапазон функциональных характеристик и значений электрических параметров, существенные различия в режимах работы и в областях применения.

Микросхемы памяти изготавливают по полупроводниковой технологии на основе кремния с высокой степенью интеграции компонентов на кристалле, что определяет их принадлежность к большим интегральным схемам (БИС). Конструктивно БИС 'памяти представляет собой полупроводниковый кристалл с площадью в несколько десятков квадратных миллиметров, заклю­ченный в корпус.

Микросхемы памяти для построения блока памяти микропроцессорной системы выбирают, исходя из следую­щих данных: требуемая информационная емкость и организация памяти, быстродействие (время цикла обращения для записи или считывания), тип магистрали (интерфейса), характеристики ли­ний магистрали (нагрузочная способность по току и емкости, требования к устройствам ввода-вывода подключаемых узлов и др.), требования к энергопотреблению, необходимость обеспече­ния энергонезависимости, условия эксплуатации, конструктивные требования.

## 3. Описание принципов работы разрабатываемых блоков.

В разрабатываемом блоке память подключена к микропроцессору (МП) посредством трех шин: шины данных (ШД), шины адреса (ША) и шины управления. При обращении к памяти МП выставляет по ША адрес ячейки памяти (ЯП), а по ШУ - сигнал MEMRD в цикле чтения памяти или MEMWR в цикле записи (рис. 3.1). Причем эти сигналы управления активно низкие и одновременно никогда не могут быть активными. В цикле чтения информация передается по ШД из памяти в МП, а в цикле записи - из МП в память. Если же к памяти обращения нет, то ее выходы отключены от ШД. Описанный алгоритм работы памяти реализовывается схемой управления, которая входит в состав разрабатываемого блока.



Рис. 3.1 Временная диаграмма работы блока памяти

Память МПС включает в себя ПЗУ, предназначенное для хранения программ, различных констант, табличных данных и т.д., и ОЗУ, которое используется для хранения промежуточных данных и массивов данных, поступающих с внешних устройств, организации стековой памяти и т.д. Область адресов ЯП ПЗУ лежит начиная с нулевого до максимального, определяемого информационным объемом этого узла, следом за которыми располагаются адреса ЯП ОЗУ.

 Таким образом в состав разрабатываемого блока памяти входит блок ПЗУ, блок ОЗУ и схема управления.

### 3.1. Разработка электрических схем блоков ПЗУ и ОЗУ.

Заданные микросхемы ПЗУ К556РТ20 и ОЗУ К132РУ9А имеют объём 1К\*8 и 1К\*4 соответственно.

Для увеличения “ширины” выборки необходимо объединить соответствующие адресные входы и входы управления микросхем памяти. Из сказанного следует, что для микросхем ПЗУ, увеличение “ширины” выборки не требуется, а для ОЗУ требуется объединить 2 микросхемы.

Для увеличения информационной ёмкости объединяем соответствующие входы и соответствующие выходы для ПЗУ – 20 микросхем, а для ОЗУ – 20 микросхемы. Получим информационную ёмкость соответственно 20К\*8 и 10К\*8.

Для уменьшения емкостной нагрузки системной шины внутренние шины адреса и данных блоков подключаем к ней через буферные формирователи построенные на микросхемах К1554АП6. Причем разобьём БП на две составные части: блок ПЗУ и блок ОЗУ. Входы и выходы этих блоков подключим к разным буферным формирователям.

Составим карту памяти заданного устройства:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| А14 | А13 | А12 | А11 | А10 | А9 | А8 | А7 | А6 | А5 | А4 | А3 | А2 | А1 | А0 | Узел |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ПЗУ |
| Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | ПЗУ |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | ПЗУ |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ОЗУ |
| Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | Х | ОЗУ |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | ОЗУ |

Для адресации разрабатываемого БП можно использовать четыре дешифратора 1554ИД7 (имеющим организацию 3\*8). Старшие разряды адресов используются для подачи сигналов на входы разрешения дешифраторов.

### 3.2. Разработка селектора адреса.

Так как выбор между блоками ПЗУ и ОЗУ осуществляется разрядами адреса (А12÷А14), будем использовать эти адреса для синтезирования схемы селектора адреса.

Синтезируем схему селектора адреса с помощью карт Карно.



|  |  |  |  |
| --- | --- | --- | --- |
| А14C | А13B | А12A | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

F=CA+CB=CA+CB=CA ⋅ CB

Для управления работой селектора адреса используем сигналы  и , так как определенный блок выбирается низким уровнем сигнала.

Селектор адреса вырабатывает сигналы AS0 и AS1, при обращении к ПЗУ и ОЗУ, соответственно. При этом оба этих сигнала активно низкие. Сигналы AS0 или AS1 только тогда будут выбирать один из блоков памяти, когда один из сигналов MEMWR или MEMRD будет активным низким. Если же оба сигнала будут активно высокими, то это будет запретом обращения к памяти.

### 3.3. Временная диаграмма работы БП.

A

tH1

CS

tA

RD

D

tp1

Временная диаграмма работы блока памяти в режиме считывания.

tA – время установки адреса

tp1 – время считывания (40 нс для 556РТ20);

tH1 – время удержания адреса

## 4. Расчет электрических параметров блока памяти.

Максимально допустимое количество объединяемых входов КI микросхем памяти определим из того, что суммарные токи нагрузки для высокого и низкого уровней сигнала и емкостная нагрузка не должны превышать значений, допустимых для выхода буферного каскада, используемого в данной цепи:

,

где IOH , IOL, COL - максимально допустимые значения токов нагрузки высокого и низкого уровней и емкости нагрузки буферного элемента, IIH, IIL, CI - входные токи высокого и низкого уровней и емкость входов, СМ - емкость монтажа.

KIПЗУ=min(76\*10-3/0.25\*10-3;81\*10-3/40\*10-6;500-20/15)=32

KОЗУ=min(76\*10-3/0.2\*10-3;81\*10-3/4\*10-6;500-20/10)=48

Так как у нас используется 20 микросхем, то условие выполняется.

 Определяем максимально допустимое количество объединяемых выходов КО

,

где CLMAX - максимально допустимая емкость нагрузки выхода, CO - емкость выхода, C I , NIN  - емкость и количество входов, подключенных к данному выходу, CM  - емкость монтажа.

200СLMAXПЗУ>=8(20-1)+15\*1+20=187

200СLMAXОЗУ>=7(20-1)+15\*1+20=168

Из расчета видно что для буферизации ШД достаточно одной МС буфера К1554АП6 как для ПЗУ так и для ОЗУ.

 При расчете динамических параметров разработанного блока памяти учтём тот факт, что времена задержек распространения сигнала, указаны для емкости нагрузки CL = 50 пФ. Скорректируем значения времен задержек распространения сигналов в большую сторону из расчета: - 0.07 нс/пФ.

tОЗУ=16+10+(60+118\*0,07)+13=107,26 нс (в режиме записи)

tОЗУ=16+10+(60+118\*0,07)+13=107,26 нс (в режиме считывания)

tПЗУ=16+10+(40+137\*0,07)+13=112,39 нс

 Мощность, потребляемая блоком памяти, (PCC) определяется как сумма средних мощностей, потребляемых микросхемами памяти и логики, на которых реализованы схемы управления.

PЛОГ =2PАП6+4PИД7+PЛП5+PЛН1

PЛОГ =2\*80\*10-6\*5+4\*80\*10-6\*5+40\*10-6\*5+40\*10-6\*5=2,8мВт

Для режима хранения получим:

PCCXP=PXPПЗУ\*NПЗУ+ PXPОЗУ\*NОЗУ+ PЛОГ

PCCXP=900\*20+250\*20+2,8=23Вт

 При расчете мощности, потребляемой микросхемами памяти в режиме обращения, учтём тот факт, что в активном режиме находятся БИС только одного выбранного столбца матрицы памяти, а все остальные БИС памяти переведены в энергосберегающий режим. «Наихудший» случай когда обращение происходит к блоку ОЗУ. Тогда для этого режима работы блока памяти имеем :

PCCO=PXPПЗУ \*NОЗУХР + PXРОЗУ NОЗУХР + PОЗУОБР \*NОЗУОБР+PЛОГ

PCCO =20\*900+18\*250+2\*900+2.8=23.4Вт

# ГРАФИЧЕСКАЯ ЧАСТЬ.

## 1. Функциональная схема блока памяти.


## Литература

1. Ермаков А. Е., Ермакова О.П. Задание на курсовую работу с методическими указаниями по дисциплине «Схемотехника» /РГОТУПС. -М.: 1999. -10 с.
2. Ермаков А. Е., Схемотехника ЭВМ. Учебное пособие. -М.: РГОТУПС, 1997. -352 с.
3. Применение микросхем памяти в электронных устройствах: Справочник/ О. Н. Лебедев- М.: Радио и связь, 1994. -216 с.
4. Шило В. Л. Популярные цифровые микросхемы: Справочник. - Ч.: Металлургия 1989. - 352 с.
5. Петровский И. И., Прибыльский А. В., Логические ИС КР1533, КР1554: / Справочник. - М.: БИНОМ, 1993.