Типы вычислительных машин (ВМ).

## ВМ различают:

## По способу представления и обработки информации (аналоговые и цифровые, гибридные, комбинированного типа).

## По среде представления и обработки информации:

## механические;

## электромеханические;

## гидравлические;

* пневматические;
* оптические;
* магнитные;

История ВМ.

1833г. – Ч. Бебидж. Ввел программное управление с помощью перфокарт (Англия).

1890г. – Холлерит. Сконструировал табулятор, сумматор и перфоратор.

1944г. – Г. Цузе и Айкен спроектировал Марк1 (релейная вычислительная машина).

1946г. – Моучли, Эккерт сконструировали электронную машину «Эниак».

1950г. – Серийное производство ЭВМ в США.

1951г. – Киев, институт электроники, Лебедев сконструировал МЭСМ.

1954г. – Москва –БЭСМ.

По назначению ЭВМ классифицируются следующим образом:

1. Универсальные;
2. Проблемно-ориентированные;
3. Специализированные.

Режим работы:

1. Однопрограммные ВМ.
	1. индивидуального пользования.
	2. машинно-пакетной обработки.
2. Мультипрограммные ВМ.
	1. пакетная обработка.
	2. машины коллективного пользования.
		1. без разделения времени.
		2. С разделением времени.

Количество процессоров:

1. Однопроцессорные.
2. Мультипроцессорные.
3. Многомашинные системы.

Классификация по способу объединения и размещения:

1. Сосредоточенные.
2. Системы с телеобъединением или теледоступом.
3. Вычислительные сети.

По особенности функционирования:

* Без режима реального времени.
* С режимом реального времени.

По набору параметров:

1. Супер-ЭВМ – для решения крупномасштабных вычислительных задач, для обслуживания крупных баз данных.
2. Большие ЭВМ – для комплектования ведомственных и региональных центров. Представители: IBM S/390 (1-10 процессоров) – производительность(1,5 – 160мил. Оп/сек).
3. Средние ЭВМ – для управления сложными процессами, используются в качестве серверов. Представители: RS/6000, AS/400.
4. Персональные и профессиональные ЭВМ – для индивидуальных пользователей.
5. Встраиваемые микропроцессоры – бытовая техника.
6. Калькуляторы.

Основные характеристики вычислительных машин.

1. Технические характеристики:
	1. Внешние:
		1. Производительность.
		2. Быстродействие.
		3. Быстродействие при выполнении операций с плавающей точкой.
		4. Производительность по Гибсону (на наборе задач).
		5. Объем оперативной памяти.
		6. Количество периферийных устройств.
	2. Внутренние:
		1. Длина слова процессора.
		2. Длина слова ОП.
		3. Наличие буферной (КЕШ) памяти.
		4. Скорость передачи информации ядро ПУ.
2. Эксплуатационные характеристики:
	1. Потребляемая мощность.
	2. Габариты.
	3. Надежность.
	4. Обслуживаемость.
3. Экономические характеристики:
	1. цена новой ЭВМ.
	2. Стоимость обслуживания.
	3. Стоимость эксплуатационных расходов.
	4. Общий коэффициент эффективности.

Области и способы применения ЭВМ.

1. Автоматизация вычислений.
2. Системы управления – начиная с 60-х гг. Требования: они должны более дешевые по сравнению с большими машинами. Должны быть более надежными;
3. Задачи искусственного интеллекта.

Этапы и способы применения ЭВМ.

1. Для отдельных научно – технических, финансовых расчетов.
2. Моделирование процессов.
3. Применение ЭВМ как составной части автоматизированных систем.
4. Интеллектуализация автоматизированных систем.

|  |  |
| --- | --- |
| Параметр | Класс задач |
| Научно-техничес. | Инф - справочн. | Управл.объект | САПР |
| Сложность алгоритма | Высокая  | Низкая  | Низкая  | Высокая |
| Объем вычислений на одно входное сообщение | Много | Мало | Мало | Много |
| Требуемая мощность | Высокая | Высокая | Низкая | Высокая |
| Объем вх/вых информации | Маленький | Большой | Большой | Большой |
| Режимы работы | Индивидуальные, пакетные | Индивидуальные, пакетные | Реального времени | Индивидуального |

Существуют две модели ЭВМ:

1. Модель фон Неймана (1945г.). Предусматривает: Автоматическое программное управление решением задач.
2. Совместное хранение программ и данных в ОП. Гарвардская модель (1944г.). Предусматривает выделение памяти под данные и программы.
3. Промежуточная. С использованием ТЕГов и дескрипторов. ТЭГ – указатель вида информации. Дескриптор – таблица, описывающая размещение информации в памяти машины.

При разработке архитектуры ЭВМ нужно учитывать следующие моменты:

1. Общая структура машин.
2. Организация вычислительно процесса.
3. Способы общения пользователя с ЭВМ.
4. Логическая организация представления, хранения и преобразования информации.
5. Логическая организация совместной работы различных устройств.
6. Логическая организация совместной работы аппаратных и программных средств.

Форматы информации:

1 бит (б), 1 байт (8б), слово, поле, запись, файл и т.д.

|  |  |
| --- | --- |
| Поколения ЭВМ | Этапы постановки и решения задачи |
|  | Постановка задачи | Выбор алг-ма | Програмир. На яз. | Организ. Выч. процесса | Получ. Маш. пр. | вычисления |
| 1 |  |  |  |  |  |  |
| 2 |
| 3 |
| 4 |
| 5 |

Человек – машина – человек

Причины стремительного роста персональных компьютеров.

1. Высокая эффективность применения и малая стоимость по сравнению с другими классами.
2. Возможность индивидуального непосредственного общения с ЭВМ без посредников, программистов и ограничений.
3. Большие возможности при обработке информации.
4. Высокая надежность и простота эксплуатации.
5. Возможность расширения и адаптации к особенностям применения.
6. Наличие развитого ПО для всех сфер человеческой деятельности.
7. Простота использования, основанная на дружественном интерфейсе.
8. Возможность объединения машин в сеть.
9. Возможность подключения к персональным компьютерам различных периферийных устройств. Возможность встраивания ПК в системы САУ.

Информационно – логические основы построения ЭВМ.

Преимущества двоичной системы:

1. Более простая реализация алгоритмов выполнения арифметических и логических операций.
2. Более надежная физическая реализация основных функций.
3. Экономичность и простота аппаратной реализации схем ЭВМ.

Операция сложения с плавающей точкой.

## A10=1,375, B11=-0,625, C=A+B

## A2=0 1.011, A=0,1375\*101

B2=1 0.101=00 1 001=01 1 0101, B=-0,0625\*101

Δp=p1 - p2=1.

B2ok=01 1 1010, B2дк=01 1011

А2ok=01 01011, А2дк=0101011

## Т.о. 01 11010 0111011

 + +

 01 01011 0101011

 1 00101 0100110

 +1

 00110=С2 С10=0,75

С2н=0,011 , С10=0,75

Умножение и деление чисел с плавающей точкой.

При умножении/делении порядки складываются/вычитаются. Мантиссы соответственно умножаются или делятся. Знаки результат формируется путем сложения знаков операнда.

Арифметические операции над двоично – десятичными числами.

Каждая цифра десятичного числа кодируется тетрадой, и знак числа кодируется тоже тетрадой.

1. Сложение начинают с младших цифр тетрад и производят с учетом переноса.
2. Знак суммы определяется знаком наибольшего слагаемого.
3. Для того чтобы обеспечить своевременный перенос производится десятичная коррекция. К каждой тетраде добавляется число шесть. В результате осуществленная корректировка суммы – из тетрад, откуда не было переноса, вычитается 6. При этой коррекции переносы из тетрад блокируются.
4. При вычитании к тетраде с большим кодом прибавляется другая тетрада в дополнительном коде. И выбирается знак.

Логические основы ЭВМ.

Количество возможных функций: 22n

При n=0 N=21=2

Yi=0 – заземление;

Или y1=1 – генер.

n=1 ,то N=4

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x | Y0 | Y1 | Y2 | Y3 |
| 01 | 00 | 11 | 01 | 10 |

 Ген повт инв

Правила алгебры логики.

1. ХV1=1 X\*0=0

 XV0=X X\*1=X

2. XVX=1 X\*X=0

 XVX=X X\*X=X

Законы алгебры логики.

1. Х1Х2=Х2Х1 - коммутативный
2. (Х1Х2)Х3=Х1(Х2Х3) – ассоциативный
3. Х1(Х2VX3)=X1X2VX1X3 – дистрибутивный
4. X1VX1X2=X1(1VX2)=X1\*1=X1 – поглощения
5. X1X2VX1X2=X1(X2VX2)=X1\*1=X1 – склеивания
6. (FVX)(FVX)=F
7. XVXF=XVF X(XVF)=XF - свертки
8. Правила Де Моргана
* X1VX2=X1X2
* X1X2=X1VX2

Порядок проектирования логических схем.

1. Словесное описание.
2. Формализация описания – запись таблицы истинности.
3. Запись функции в СДНФ или СКНФ.
4. Минимизация.
5. Представление минимизированного выражения в требуемом базисе.
6. Изготовление устройства.
7. Тестирование.

Элементная база ЭВМ.

## Элемент – узел – блок – устройство

Классификация интегральных схем:

* по сложности
1. ИС – малая степень интеграции (десятки транзисторов).
2. СИС – средние (сотни транзисторов).
3. БИС - большие (десятки тысяч транзисторов).
4. СБИС – сверхбольшие (миллионы транзисторов).
5. УБИС – ультрабольшие (десятки миллионов транзисторов).
* по типу сигналов
1. Потенциальные.
2. Импульсные.
* по технологии изготовления
1. МОП структура (МДП структура).
	1. КМОП –комплиментарные.
	2. NМОП – полупроводники n-типа.
	3. рМОП – полупроводники р-типа.
2. ТТЛ – логика.
3. ЭСЛ.
4. U2Л.
* по особенностям функционирования
1. Формирующие – генераторы.
2. Логические комбинационные схемы.
3. Запоминающие.

Комбинационные схемы.

К ним относятся ЛЭ: «Не», «И», «ИЛИ», «И-НЕ», «ИЛИ-НЕ», дешифраторы, сумматоры комбинационные, компараторы.

Схемы с памятью.

1. Триггеры:
* JK
* RS
* D
* T
1. Накапливающий сумматор.
2. Регистр.
3. Счетчик.

Проблема развития элементарной базы.

Циклическое послойное изготовление элементов (частей) электронной схемы по циклу: программа – рисунок – схема. По программе на напыленный фоторезисторный слой наносится рисунок будущего слоя микросхемы. Рисунок протравливается, фиксируется, закрепляется и изолируется от новых слоев. Нанесение рисунков называется фоторезистолистография. Сейчас применяется оптическая листография. Но дифракция, интерференция и т.п. ограничивают точность. Существует также электронная (лазерная) листография, ионная и рентгеновская листография. Размеры сокращают для того, чтобы можно быть увеличить частоты (чем больше размеры транзистора, тем больше его емкость). Но уменьшение размеров приводит к тому, что удельная мощность увеличивается. Она увеличивается с ростом напряжения питания и с ростом частоты. Уменьшение напряжения нежелательно. Максимальная частота, которая может быть в элементах 1011 – 1012 Гц. Такой уровень частоты может быть только в СИС. Будут использоваться ССИС – сверхскоростные ИС средней степени интеграции. Используются кремниевые и арсенид галивые микросхемы.

Перспективы:

Новое направление – использование сверхпроводимости и туннельного эффекта (для уменьшения мощности) и биомолекулярная технология.

Характеристики ТТЛ:

1. Uпит=3,3В; 5В.

Стандартная серия: 74ххх –США; К155... – Россия.

Tзд.р.=10нс.

1. С пониженным потреблением: 74L... – США; К134... – Россия.

Tзд.р.=33нс.

1. С повышенной мощностью: 74b... – США; К131... – Россия.
2. С диодами Шотки (ТТЛШ) 74S... – США; К531... – Россия.
3. Маломощные ТТЛШ 74LS... – США; К555... – Россия.

Функциональная и структурная организация ЭВМ.

Функциональная организация включает в себя:

* виды кодов, использованные для представления информации (аудио, видео, отображение информации, помехозащищенные коды);
* система команд (CISC, RISC, система длинных команд);
* алгоритмы выполнения машинных операций;
* технология выполнения различных процедур и взаимодействие программного и аппаратного обеспечения;
* способы использования устройств, при организации совместной работы;
* структурная организация: способы реализации функций ЭВМ.

Структурные компоненты:

1. АС:
* элементарная база;
* функциональные узлы и устройства;
1. Программные модули (обработчики прерывания, драйвера, com, exe, bat файлы).

ЭВМ делятся на совместимые и несовместимые. В свою очередь совместимые делятся на программно совместимые и технически совместимые.

Состав микропроцессорного комплекта.

* системный таймер;
* микропроцессор;
* сопроцессор;
* контроллер прерываний;
* контроллер прямого доступа к памяти (DMA);
* контроллеры устройств ввода-вывода.

Устройства ЭВМ делятся на: ядро ЭВМ (полностью электронное) и периферийные устройства (электронные, электромеханические, с тепловой природой).

Нейтральные устройства связаны между собой системной магистралью.

Состав магистрали.

1. Шина данных;
2. Шина адреса;
3. Шина управления.

Интерфейс системной магистрали.

* количество линий в ША, ШД, ШУ.
* Порядок размещения конфликтных ситуаций (этим управляет контроллер прерываний).

В состав ядра входят:

* МП
* ОП
* Дополнительные устройства (системный таймер, контроллеры и т.д.)

Ядро размещается на системной плате.

Компиляция заключается в преобразовании исходного модуля в объектный модуль, но в нем отсутствуют дополнительные программы, необходимые для выполнения.

Редактор связи объединяет все требуемые для выполнения процедуры в объектном коде в единую программу, готовую к выполнению.

Особенности управления основной памятью ЭВМ.

Выделение памяти.

Может выделяться программистом или ОС.

Размещение делится на: статическое и динамическое (в процессе). В свою очередь статическое делится на больше и меньше требуемого.

# Оверлейная структура программы: загружается главная часть, а остальное по очереди. Для того чтобы связывать отдельные сегменты в единую программу нужно 7 трансляций адресов.

Такая структура адресов накладывает 2 ограничения.

1. Ограничение макс сегментов.
2. Ограничивается макс смещение в сегменте.

Динамическая трансляция адресов при сегментной организации программы.

Адресное пространство.

|  |  |  |
| --- | --- | --- |
| Прг.Д | Таблица сегментов | ОП |
| № сег. | Адрес в ОП | 0ОС  |
| 0сег120кБ | 1 | 75 | 75Прг.ДСег1 |
| 0сег210кБ | 2 | 125 | 95Прг.А |
| 125Прг.ДСег2 |
| 0сег320кБ | 3 | 205 | 135Прг.В |
| 205Прг.ДСег3225 |

Начальный адрес таблицы сегментов заносится в регистр начала таблицы сегментов (РНТС). В настоящее время применяется сегменто – страничная организация памяти. Программа состоит из сегментов, размер которых может быть любым меньше максимального. А сегменты состоят из страниц, размер которых строго определен (обычно 4кБ). При такой адресации у основного адреса есть три параметра: номера сегмента и страницы, и относительный адрес.

Виртуальная память.

Имитация работы машины с максимально имеющейся в ВС памятью, включая внешнюю, и называемую режимом виртуальной памяти. Теоретически доступная пользователю ОП определяется только разрядностью адресной части команды. При работе программы та часть, которая необходима для выполнения текущей команды вызывается в ОП и размещается там. Другая часть размещается в ячейках внешней страничной памяти или в слотах. Слот – это заполненная записываемая область во внешней страничной памяти. Она равна размеру страницы. ВС с двадцатиразрядным адресом может иметь 16МБ адресуемого пространства; с 32 – х разрядным – 4ГБ. Загрузка в ОП – переписывает несколько страниц из внешней памяти в ОП. Когда страница больше не нужна, она загружается во внешнюю память (ВП).

Страничная схема организации абсолютного адреса при сегменто – страничной организации памяти.

Бит недоступности =1, если этой страницы нет в ОП.

Алгоритм функционирования ЭВМ при обработке команды.

1. Адрес из счетчика команд выставляется на шину адреса системной магистрали (ША СМ). И одновременно подается сигнал чтения на шину управления (ШУ).
2. Считывание адреса с шины адреса (ША) в регистр адреса (Рг.А).
3. Выставление команды на шину данных (ШД) и сигнал управления на шину управления (ШУ).
4. Процессор передает число, т.е. команду, из регистра данных в регистр команд процессора.
5. Распаковка команды, т.е. выделение кода адреса и адресной части.
6. Определение к чему относится команда (на чем выполнять и т.д.). Устанавливается адрес устройства.
7. Если процессорная команда, то передача КОП в устройство управления процессора (УУ Пц.).
8. Адресная часть передается на ША СМ и одновременно сигнал чтения на ШУ СМ.
9. Из ОП данные выставляются в Рг.Д., а затем на ШД.
10. С ШД на магистраль процессора и затем в АЛУ подаются данные.
11. Выполнение операции в АЛУ.
12. Запись результата из микропроцессора на ШД и одновременно адрес результата на ША, а на ШУ сигнал записи.
13. С ШД записывается на Рг.Д., ОП, а с ША на Рг.А. ОП это запись результата в ОП.
14. На ШУ сигнал «выполнено».
15. Переход к пункту 1.

7а. Центральный процессор выставляет на ША СМ адрес (№) устройства. Этот номер доступен всем устройствам. А на ШУ выставляется на ШУ сигнал отклика.

8а. Устройство, номер которого совпадает с заданным, выставляет на ШУ сигнал отклика.

9а. ЦП выставляет на ШД команду для устройства, а на ШУ сигнал о выставленной команде.

10а. Устройство, подтверждает прием команды – оно выставляет об этом сигнал на ШУ.

11а. ЦП, получив это подтверждение, переходит к следующей команде.

Когда ЦП перешел к следующей команде, то может оказаться, что подтверждение еще на пришло. В мультипрограммном режиме ЦП может перейти к выполнению другой команды.

Примечание к 9а. В большинстве случает этот пункт должен быть расширен – должна быть проверка готовности устройства и управление его работой:

* Поиск устройства.
* Определение его технического состояния.
* Обмен информацией.

Вся эта последовательность действий выполняется с помощью интерфейсов ввода-вывода.

Стандартные интерфейсы.

* Параллельный Centronics.
* Последовательный RS – 232
* Plug&Play – интерфейс сам определяет параллельный или последовательный.

Прерывания.

Каждая программа в момент выполнения характеризуется словом состояния процессора (ССП). Там всегда хранятся:

* Адрес следующей команды (Кд).
* Состояние регистра флагов.
* Дополнительные сведения.

При получении сигнала прерывания программы выполняет до конца свою Кд и сохраняет ССП. Затем запускается программа обработки прерываний. После окончания программы обработки прерываний восстанавливается ССП прерываний программы, и она (программа) продолжает выполняться.

Прерывания IBM PC.

1. Прерывания BIOS (BIOS – система ввода-вывода), прерывания с адресом 00..1F.
2. Прерывания ОС (DOS или WINDOWS), адрес : 20..FF.

Типы прерываний.

1. Аппаратные прерывания.

2 – Отказ питания.

8 – Таймер.

9 – Клавиатура.

12 – Адаптер связи с другими объектами.

14 – НГМД – накопитель на гибком магнитном диске.

15 – устройство печати.

1. Логические – вырабатываются в ЦП.

0 – Деление на ноль.

4 – Перемещение результата.

1 – Пошаговый режим работы.

3 – Остановка в контрольной точке.

1. Программные – по запросу программы.

Команда обработки прерываний называется обработчиком прерываний.

Прерывание – это действие, когда программа прекращает временно свое выполнение и передает управление обработчику прерывания. По окончании обработки прерванная программа автоматически происходит возврат к выполнению прерванной программы с той точки, где произошло прерывание.

Система памяти ЭВМ.

Задачи при разработке памяти:

1. Повышение быстродействия обмена.
2. Вся память должна восприниматься как нечто единое, целое.

 ЗУ предназначено для приема, хранения и выдачи информации.

Основные характеристики.

1. Время обращения к ЗУ.
2. Объем ЗУ.

Классификация ЗУ.

1. Направление обмена.
	1. Односторонняя – ПЗУ, CD-ROM.
	2. Двусторонняя.
2. По способу организации.
	1. Ленточные ЗУ.
	2. Вращающиеся – магнитные барабаны, магнитные диски, СД.
	3. Матричные.
	4. Лучевые.
	5. Ре-циркулярные.
	6. Механические – перфоленты, перфокарты.
3. По способу обращения.
	1. С произвольным (прямым) доступом.
	2. С последовательным доступом.
4. По назначению.
	1. Регистровые ЗУ.
	2. ОЗУ.
	3. КЕШ – память.
	4. ПЗУ.
	5. Долговременная память (внешние ЗУ).
5. По возможности хранения информации при отключении питания.
	1. Хранение информации без источника питания (диски, ПЗУ).
	2. Сохраняющее информацию при наличии питания (ОЗУ, регистровые ЗУ, КЕШ).
	3. ЗУ временно сохраняющие информацию при источнике питания. Это динамические п/п ЗУ. Им требуется регенерация.
	4. ЗУ обеспечивающие сохранение информации при временном отключении ИП.

Логическая организация памяти.

Разрядность шины адреса.

# ХТ – процессор = 20Б - 1МБ

286й – процессор = 24Б – 16МБ

386й – процессор = 32Б – 4ГБ

Виды адресного пространства.

Основная память – 1МБ (первый мегабайт)

Режимы компьютеров 386 и выше.

1.Реальный

2.Защитный

3.Вертуальный мультипрограммный

Основная память доступна в любом режиме. В реальном режиме доступна только основная память (convenctention memory ).

Этот 1МБ делится на следующие составные части:

* верхние 384кБ – для вычислительной системы (A0000…FFFF).
* Нижние 640кБ – для программ пользователя (00000…9FFFF).

Виды адресного пространства:

1.Основная память – 1МБ (00000…FFFFF)

2. Область верхней памяти = 384кБ (А0000…BFFFF)

3. Область старшей памяти – HMA

4. Расширенная память – Exteneted – это вся память, которая больше 1МБ и доступна в защищенном режиме.

5. Дополнительная память – Expended – аналогично расширенной памяти.

6. Видеопамять – VideoRAM

7. ПЗУ адаптеров и специальной ОЗУ

8. ПЗУ системной BIOS

Внешняя память распределяется следующим образом :

1. первые 128кБ – видеопамять (A0000…BFFFF)
2. вторые 128кБ – для программ BIOS адаптеров (C0000…DFFFF)
3. третьи 128кБ – для системной BIOS (E0000…FFFFF). Здесь же расположены программы для проверки при включении (диагностики) и первичной системной загрузки.

Способы адресации в первых ПК (в реальном режиме).

Линейный адрес = адрес сегмента + адрес смещения.

## Адрес сегмента хранится в регистре CS (16б).

## Адрес смещения хранится в регистре IP (16б).

#### Расширенная память XMS. Для того, чтобы она была доступна используют специальные драйверы:

HIMEM.SYS

QEMM.SYS

Область старшей памяти – это область памяти в один сегмент (64кБ) после 1МБ.

Для того, чтобы использовать эту память существует драйвер XMS.SYS.

Физическая организация памяти.

1. Двусторонние ЗУ.

Составной частью являются элементы памяти:

1. Бистабильный триггер – статическая память (SIM).
2. Электронный ключ на полевом транзисторе – динамическая память (DIM).

1. Магнитный сердечник – ферритовая память.

Это все были статические запоминающие элементы, т. е. Они могут хранить информацию сколь угодно долго, пока есть питание.

Простейшие схемы динамической памяти.

Должно выполнятся условие Сз.э.>>Ср.ш.

Информация должна возобновится.

Режимы работы ЗУ.

1. хранение
2. чтение
3. запись
4. регенерация (для динамической памяти)
5. чтение – модификация – запись (считываемые данные изменяются, и записываются по этому же адресу).

Преимущества п/п ЗУ.

1. большая емкость при малых размерах
2. высокое быстродействие
3. высокая технологичность
4. низкая емкость.

Недостатки п/п ЗУ.

1. потеря информации при отключении питания
2. чувствительность к воздействию электромагнитных полей.

Мультиплексированные адреса.


# Сначала записывается во входной регистр старший байт, затем он пересылается в регистр Y. Потом записывается во входной регистр младший байт. И он пересылается в регистр Х.

По полноте структурной схемы ЗУ делятся на:

* схемы без дешифрации адреса и данных
* без дешифрации данных
* без дешифрации адреса
* с полной дешифрацией информации.

По способу подачи данных - однонаправленные и двунаправленные.

По числу каналов – одноканальные и многоканальные.

В микросхемах ЗУ могут быть следующие выходы:

1. логический выход (0 и 1), объединение через дизъюнкцию
2. выход с открытым коллектором
3. выход с открытым эмиттером
4. с трех стабильным выходом
5. с объединением входа и выхода.

Графическое обозначение микросхемы памяти.

Управляющие сигналы могут быть следующими.

1. Выбор кристалла (микросхемы) CS (разрешение работы).
2. Чтение/Запись W/R(0 - запись, 1 - чтение).
3. Сигнал разрешения обращения к микросхеме ОЕ (при полном (не мультиплексном) адресе).

Если адрес мультиплексный, то управляющих сигналов больше:

1. CS
2. OE
3. W/R
4. RAS – сигнал выбора строба адреса строки

CAS – сигнал выбора строба адреса столбца.

Эти стробы управляют и процессом выбора кристалла. Если хотя бы одного из этих сигналов нет, то выбора не происходит.

Параметры запоминающих микросхем.

1. быстродействие (10 ÷ 200нс)
2. потребляемая мощность
3. стоимость
4. емкость и др.

Емкости некоторых микросхем

64к\*1б – 4164 (41-разрядность,64-объем)

128к\*1б – 41128

64к\*4б – 41000

4М\*1 или 1М\*4 – 44000.

Микросхема К565РУ1. Строка включает 64 запоминающих элемента. Всего 64 строки (РУ – память).

Вход – одноразрядный. Адрес – двенадцатиразрядный.

Схема матрицы элементов (для одной строки):

Сигнал с мультиплексора MS формируется специальной схемой.

Режим работы микросхемы.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| CE | CS | RD | Режим | Создание Д0 |  |
| 0 | x | x | Хранение | Высокоомный выход |  |
| 1 | 0 | 0 | Запись, регенерация | (закрытый выход) Д |  |
| 1 | 0 | 1 | чтение, регенерация | ‾Д |  |
| 1 | 1 | x | Регенерация | Д |  |

Способы увеличения разрядности емкости блоков памяти на динамической памяти.

Увеличение емкости памяти.

Строчная организация:

Полупроводниковые ЗУ с интерфейсом Mulypas.

Регенерация.

Способы регенерации:

1. Программный.
2. Аппаратный.
3. Аппаратно – программный (IBM PC).
4. Автогенерация.

При программном способе есть программа. которая управляет регенерацией. Специальный таймер каждые 2мс выдает сигнал прерывания и обращение к микропрограмме регенерации, которая выдает специальный сигнал регенерации, поступающий во всю схему управления всех схем ЗУ. По этому сигналу ДС выбора банка осуществляется включение всех банков памяти ЭВМ. После выбора этих банков осуществляется последовательное обращение к ячейкам памяти внутри банка. Регенерация информации происходит для выборной ячейке во всех банках. Время действие программы 150мкс.

Достоинства – простота, Недостатки – большие затраты времени до 10%.

Аппаратный способ. В устройстве управления каждого блока памяти имеет специальный генератор регенерации, с выхода которого каждые 27мкс вырабатывается импульс, по которому блокируется обращение к ЗУ со стороны ЭВМ и организует внутренний неполный цикл считывания из некоторых ячеек памяти. Есть счетчик адреса строк, разрядность которого зависит от разрядности запоминающих микросхем. Через 27мкс происходит новое обращение к ЗУ но уже с другим адресом.

Достоинства – быстрота.

Недостатки – необходимость синхронизации регенерации между различными банками памяти, усложнение аппаратной части.

Аппаратно – программный способ. Строится на микросхемах контроллерах регенерации динамической памяти (КДП или КПДП).

Контроллеры различаются:

1. разрядностью слов
2. разрядностью шины адреса

Контроллер формирует сигнал RAS и CAS. При поступлении сигнала регенерации с таймера КПД осуществляет неполную регенерацию памяти по содержимому регистра адреса, которое изменяется внутри контроллера.

Авторегенерация. Может применятся, когда видеопамять является частью ОЗУ и =1/2 ОЗУ.

Цикл обработки информации тогда состоит из двух равных частей: обработки и отображения. Одновременно с обращением к видеопамяти происходит обращение к аналогичной ячейке памяти ОЗУ и происходит регенерация.

Особенности организации памяти на ЗУ статического типа.

(+) 1. Простота, т.к. нет необходимости регенерации.

(-) 2. Сравнительно небольшая емкость, т.к. больше габариты, чем у DIM; высокая потребляемая мощность и большая цена.

(+) 3. Высокое быстродействие.

КЭШ – память в настоящее время делится на 2 уровня.

1. Расположена в самом процессоре 256кБ. Длительность доступа tдост.= 5 – 10нс. Разрядность – 32 разряда.
2. КЭШ – память 2-ого уровня. Внешняя, устанавливается на плате. Объем от 256кБ до 1МБ, tдост.=15нс.Разрядность 64 бита. Скорость 528МБ/с.

Необходимость КЭШ – памяти – согласование скоростей работы процессора и ЗУ. Микросхемы памяти: К1802РП6 (32\*9), КМ1804ИР3 (8\*4), К1802ИР1 (16\*4).

Режимы работы:

1. Одиночный.
* чтение только А
* чтение только В
* запись только по адресу А
* запись только по адресу В
1. Парный.
* чтение по адресу А и В
* запись по адресу А и В

3.Перекрестный.

* чтение по А, запись по В
* чтение по В, запись по А

WR – запись, CE – разрешение обращения к каналу, RD – чтение.

Разрешение осуществляет по низкому уровню (лог. 0).

Адреса по каналам А и В не должен совпадать.

Безадресные ЗУ.

1. Стек.
2. Магазин.
3. Ассоциативное ЗУ.
4. Динамическое (цепочечное) ЗУ

Стек – FILO. LIFO. т.е. first in last out или наоборот (1-ым пришел последним ушел).

С помощью стека осуществляется передача информации в процедуре. Стек используется при прерываниях. Используется в циклах.

В стеке есть вершина, накопитель, указатель в стеке. Есть команды записи (PUSH) и извлечения (POP).

Глубина стека: количество слов которое может вместить стек.

Существует 2 способа организации стека:

* программный - в ОЗУ
* аппаратный в процессоре – в процессоре

Указатель стека – это регистр указывающий сколько регистров стека занято.

Способы изменения содержимого стека:

* декрементивный –1
* инкрементный +1

Если стек переполнен, то могут быть потеряны либо 1-й элемент, либо все элементы.

 Магазин (очередь) – FIFO, т.е. first in first out.

К1002ИР2 (32\*8) – микросхема, реализующая магазин (32-слова на 8 разрядов).

RAWR – готовность к записи, т.е. можно еще записать или нет.

RARR – готовность к чтению, т.е. регистр не пуст.

E - разрешение считывания с 32-го регистра.

ER – служит для стирания информации в 1-ом регистре.

Запись производится в 1-й регистр.

Ассоциативные ЗУ(АЗУ). Это безадресные ЗУ обращение к которым ведется по содержимому памяти.

Достоинства – сразу выбираются все элементы, удовлетворяющие данному кода признака, т.е. адрес не нужен. Выигрыш при считывании многих ячеек памяти.

Структурная схема.

БМУ – блок местного управления.

Структурная схема матрицы АЗУ.

ЗЭ – запоминающий элемент, ЧШ1 – числовая шина 1, ШИС – шина индикации совпадений. n – количество элементов в строке (столбце), N – количество строк. РШ1-1 – разрядная шина 1-1.

На разрядную шину подаются коды входного числа. Для проведения сравнения каждый ЗЭ сопровождается логикой совпадения. Эта логика осуществляет сравнение кода признака с кодом хранящемся в ЗЭ.

Каждый ЗЭ обеспечивается схемой равнозначности. А затем на шину реализации совпадения реализуется конъюнкция.

Количество шагов опроса будет определяться разрядности: lопр.=N\*n.

Опрос может быть:

1. Последовательно по строкам и по столбцам.
2. Параллельно по столбцам и последовательно по строкам.
3. Параллельно по строкам и последовательно по столбцам.
4. Параллельно по строкам и по столбцам.

Цепочечные ЗУ. Образуется цепочка регистров и информация с некоторой частотой передается постоянно, замыкаясь по концам.

Или

 Процессоры

 Основные характеристики и параметры процессоров.

1. Архитектура
* структура команд (длина, разделение по полям)
* система команд (количество групп)

Виды архитектуры процессоров:

1. Процессоры с традиционной архитектурой

CISC – комплексная система команд (множество самих команд и различных структур)

Пример: Intel.

Команда выполняет достаточно большую функцию.

2. RISC – сокращенная система команд.

Меньше команд. Сами команды короче и имеют одинаковый размер. Функции, которые выполняет одна команда, меньше, чем в CISC.

Достоинства: 1 легче обеспечивать распаковку команды

 2 лучше аппаратная реализация RISC – процессора

Недостаток: 1 требуется больше команд для реализации программы, чем в CISC – процессоре

2 RISC не позволяет обеспечить эффективную конвейерную обработку с большим числом ступеней конвейера

Пример: Apple, Alpha.

3. VLIW – очень длинное слово команды.

Прямо противоположное RISC.

Команд не много, но они очень объемные.

1. Технология: 0.8, 0.5, 0.3, 0.25, 0.18, и 0.15 мк. Это размеры п/п.
2. Площадь кристалла процессора 50÷300 см2.
3. Кол-во транзисторов в процессоре: 1÷15 млн. шт.
4. Тактовая частота 100…450 МГц. В перспективе до 1 ГГц.
5. Разрядность
* внутренняя 32-64 бит (до 128 бит)
* шина данных и адреса (внешняя) 16-64 бит
1. Кэш-память 1-го уровня
* общая
* КЭШ-комманд и КЭШ-данных 8x8-32x32 кБ
1. Кол-во конвейеров. 2…10 сейчас. В плане 32 конвейера.
2. Набор устройств для обработки информации.

Чаще всего могут быть:

* целочисленные устройства IU есть всегда.
* устройство для обработки чисел с плавающей точкой FPU
* устройство обработки команд переходов BPU
* устройство управления памятью MMU
* поддержка DMA – прямого доступа к памяти
1. Мощность потребления – 2.5…10 Вт
2. Напряжение питания - 2.5…5 Вт

Классификация процессоров

1. По архитектуре
2. По назначению

 2.1 для персональных компьютеров

* + 1. ПК профессионального уровня (Pentium)
		2. ПК бытового уровня (Celeron)
	1. для портативных компьютеров
	2. для серверов
	3. для мультимедиа компьютеров (MMX)
	4. для многопроцессорных систем
	5. специализированные процессоры
		1. для обработки цифровых сигналов
		2. для обработки аналоговых сигналов
		3. математические сопроцессоры
		4. графические сопроцессоры
		5. процессоры ввода-вывода
		6. сервисные процессоры
		7. транспьютерные процессоры, – имеющие специальную конфигурацию для решения спец. задач

3 По поколениям

Основные производители: Intel, AMD, Cyrix.

Процессор – это любое устройство, выполняющее некоторые действия.

В ВТ под процессором понимают устройство, выполняющее в автоматическом режиме некоторую последовательность операций:

* арифметические
* логические
* операции управления
* операции перехода

Команда состоит из микрокоманд и означает какую-то операцию, которая состоит из микроопераций.

Микрооперация – это функциональная элементарная операция, выполняемая за один тактовый интервал и приводимая в действие одним управляющим сигналом.

Микрокоманда – это совокупность микроопераций, выполняемых параллельно во времени под действием нескольких управляющих сигналов, поступающих в одном такте.

Микропрограмма – это набор микрокоманд, обеспечивающий выполнение заданной операции или команды.

Принцип академика Глушкова (Джона Вилкса) для построения устройств обработки цифровой информации.

УУ - это комплекс средств автоматического управления процессом передачи и обработки информации.

УА предназначен для выработки последовательностей управляющих функциональных сигналов на основе задаваемого кода операции и оповещающих сигналов об особенностях операндов и результатов операции, поступающих от АЛУ.

Группы операций

1. арифметические
	1. с целыми числами
	2. с числами с фиксированной точкой
	3. с числами с плавающей точкой
	4.
	5.
2. операции с другими видами информации
	1. с логическими адресами
	2.
	3. операции с изображениями
	4. со звуком
3. операции управления и связи
	1. операции управления вычислительным процессом
	2. операции связи с внешними устройствами
	3. обработка прерываний
	4. диагностические операции
	5. операции загрузки

Способы реализации операций.

1. Аппаратно-микропрограмная реализация.
2. В виде биб-ки стандартных подпрограмм

Достоинства 1: высокая скорость.

Недостаток 1: усложнение процессора.

В большинстве случаев 2-м способом исполняются функции (sin, cos, exp и т.д.)

1. Использование дополнительных блоков или сопроцессоров

Работа процессора.

Структурная схема микропроцессора.

1. АЛУ – выполняет логические и арифметические операции над данными. Может быть одно или несколько АЛУ.
2. БРгП – СОЗУ (сверх ОЗУ) – местная память с небольшой емкостью и высокого быстродействия. Рг этого блока указываются в командах программ и служат для хранения операндов; аккумулятора, в качестве Рг, указателя стека.
3. УУ - вырабатывает последовательность управляющих сигналов, инициирующих выполнение соответствующей последовательности микроопераций, обеспечивая выполнение текущей команды. Есть УУ с жесткой и управляемой логикой.
4. БУРг – предназначен для временного хранения управляющей информации. Содержит Рг-ы состояния процессора, Рг-ы запросов прерываний и др. управляющие Рг-ы и триггеры.
5. Блок связи – интерфейс процессора. Организует обмен информацией между процессором и ПП и защиту участков ОП от неразрешенных обращений, а также связь процессора с другими устройствами и системами.
6. Блок контроля и диагностики служит для обнаружения сбоев в работе процессора, восстановления работы программы после сбоя, поиска места неисправности.
7. Пульт управления.

Структура микропроцессора (МП)

В Рг-ре флагов хранятся индикаторы выполнения операций и полученных результатов.

В заданном эл-тном базисе спроектировать структурную схему процессора ЭВМ, удовлетворяющую заданным техническим требованиям и налагаемым ограничениям – это задача.

 Критерии проектирования.

1. Затраты оборудования
2. Быстродействие (длительность такта)
3. Производительность (количество микроопераций, реализуемых за 1 такт)
4. Регулярность структуры (ее однородность)

Способы проектирования процессоров

1. Синтез процессора как единого автомата с памятью (сейчас редко)
2. Отдельный синтез операционного автомата и управляющего автомата (сейчас часто используется)
3. Использование секционированных микропроцессоров.

Элементы, на которых могут строиться процессоры.

1. Дискретные элементы (МИС, СИС) для специализированных микропроцессоров.
2. Секционированные микропроцессоры.
3. Многокристальные микропроцессоры – набор микросхем, которые обеспечивают функционирование микропроцессора, когда они соединены в одну систему (only)
4. Однокристальные микропроцессоры
5. Однокристальные ЭВМ

АЛУ

Параметры и характеристики:

1. Набор операций
2. Длительность выполнения операции.

ti-время выполнения операции.

Pi-вероятность возникновения операции.

1. Длина слова.

Классификация АЛУ

1. По способу действия надоперандами
	1. параллельный
	2. последовательный
	3. смешанный
2. По способу представления чисел
	1. с плавающей точкой
	2. с фиксированной точкой
	3. десятичные
3. По способу использования блоков
	1. блочные
	2. многофункциональные
4. По принятой системе счисления
	1. двоичные
	2. восьмеричные
	3. шестнадцатеричные
	4. десятичные
	5. троичные
5. По способу ввода информации
	1. автономные – не получают информацию в процессе выполнения микроопераций
	2. неавтономные и полуавтономные

6. По способу выполнения отдельных операций

 6.1 синхронные

 6.2 асинхронные

7. По способу организации выполнения отдельных микроопераций

* 1. с общей микрооперацией
	2. конвейерного типа

Структурная организация АЛУ.

АЛУ=ЗЧ+КЧ (КС)

ЗЧ – запоминающая часть.

КЧ (КС) – комбинационная часть (схема).

Д – Подмножество входных данных.

R – Подмножество выходных результатов.

Y – Подмножество управляющих сигналов.

Х – Подмножество осведомительных результатов.

Для каждой МОП (микрооперации) может существовать отдельное КС или наоборот – для всех МОП – одна КС.