С О Д Е Р Ж А Н И Е

Ч а с т ь 1

**1.1. Упрощение логических выражений.**

**1.2. Формальная схема устройства.**

**1.3. Обоснование выбора серии ИМС.**

**1.4. Выбор микросхем.**

**1.4.1. Логический элемент ″ИСКЛЮЧАЮЩЕЕ ИЛИ″.**

**1.4.2. Логический элемент ″2ИЛИ ″ с мощным открытым коллекторным выходом.**

**1.4.3. Логический элемент ″2И″ с открытым коллектором.**

**1.4.4. Логический элемент ″2И″ с повышенной нагрузочной способностью.**

**1.4.5. Логический элемент ″НЕ″**

**1.5. Электрическая принципиальная схема ЦУ.**

**1.6. Расчет потребляемой мощности и времени задержки.**

**1.6.1. Потребляемая мощность.**

1. **Время задержки распространения.**

## Ч а с т ь 2

**2.1. Расчет базового элемента цифровой схемы.**

**2.1.1. Комбинация: Х1 = Х2 =Х3 = Х4 = ″1″.**

**2.1.2. Комбинация: Х1 = Х2 =Х3 = Х4 = ″0″.**

**2.1.3. Любая иная комбинация.**

**2.2. Таблица состояний логических элементов схемы.**

**2.3. Таблица истинности.**

**2.4. Расчет потенциалов в точках.**

**2.4.1. Комбинация 0000.**

 **2.4.2. Комбинация 1111.**

**2.4.3. Любая иная комбинация.**

**2.5. Расчет токов.**

**2.5.1 Комбинация 0000.**

**2.5.2 Комбинация 1111.**

**2.6. Расчет мощности рассеиваемой на резисторах.**

**2.6.1. Комбинация 0000.**

**2.6.2. Комбинация 1111.**

## Ч а с т ь 3

**3.1. Разработка топологии ГИМС.**

**3.2. Расчет пассивных элементов ГИМС.**

**3.3. Подбор навесных элементов ГИМС.**

**3.4. Топологический чертеж ГИМС (масштаб 10:1).**

**В А Р И А Н Т № 2**

В ы х о д: ОК; ОС; или ОЭ.

Рпот < 120 мBт

 tз.р. ≤ 60 нс

**Ч а с т ь 1**

**1.1. Упрощение логических выражений.**

**1.2. Формальная схема устройства.**

**1.3. Обоснование выбора серии ИМС.**

Учитывая, что проектируемое цифровое устройство должно потреблять мощность не превышающую 100мВт и время задержки не должно превышать 100 нс для построения ЦУ можно использовать микросхемы серии КР1533 (ТТЛШ) имеющие следующие технические характеристики:

**Напряжение питания:** 5В10%.

**Мощность потребления на вентиль:** 1мВт.

**Задержка на вентиль:** 4 нс.

**1.4. Выбор микросхем.**

**1.4.1. Логический элемент ″ИСКЛЮЧАЮЩЕЕ ИЛИ″.**

**D1 - KP1533ЛП 5**

**Параметры:**

Рпот = Епит ⋅ Iпот = 5 ⋅ 5,9 = 29.5 мВт

Епит = 5 В

Iпот = 5,9 мА

**1.4.2. Логический элемент ″ 2ИЛИ ″** **с мощным открытым коллекторным выходом.**

# D2 - КР1533ЛЛ4

**Параметры:**

Епит = 5 В

I1пот = 5 мА

I0пот = 10,6 мА

**1.4.3. Логический элемент ″2И″ с открытым коллектором.**

**D3 - KP1533ЛИ2**

**Параметры:**

Епит = 5 В

I1пот = 2,4 мА

I0пот = 4,0 мА

**1.4.3. Логический элемент ″2И″ с повышенной нагрузочной способностью.**

**D4 - KP1533ЛИ1**

**Параметры:**

Епит = 5 В

I1пот = 2,4 мА

I0пот = 4 мА

**1.4.5. Логический элемент ″НЕ″.**

**D5 - KP1533ЛН1**

**Параметры:**

Епит = 5,5 В

I1пот = 1,1 мА

I0пот = 4,2 мА

**1.5. Электрическая принципиальная схема ЦУ.**

D5

D4

D2

D1

С учетом выбранных микросхем внесем в формальную схему некоторые изменения (с целью минимизировать количество микросхем).

D3

**1.6. Расчет потребляемой мощности и времени задержки.**

D4

D3

D1

D5

D2

1

1

1

1

1

1

**1.6.1. Потребляемая мощность.**

Pпот = Pпот D1 + Pпот D2 + Pпот D3 + Pпот D4 + Pпот D5 = 29.5 + 39 + 16 + 16 + 13.25 = 113.75 мВт

113.75 < 120 - Условие задания выполняется.

**1.6.2. Время задержки распространения.**

Для расчета времени задержки возьмем самый длинный путь от входа к выходу. Например от входов х2х3 до выхода y2. Тогда:

tз.р. = tз.р. D5.2 + tз.р. D2.1 + tз.р. D3.2 = 9.5 + 10.5 + 34.5 = 54,5 мВт

54,5 < 60 - Условие задания выполняется.

**Ч а с т ь 2**

**2.1. Расчет базового элемента цифровой схемы.**

 Для трех комбинаций входных сигналов составим таблицу состояний всех активных элементов схемы.

**2.1.1. Комбинация: Х1 = Х2 =Х3 = Х4 = ″1″.**

Если на все входы многоэмиттерного транзистора VT1 поданы напряжения логической ″1″, то эмиттеры VT1 не получают открывающегося тока смещения (нет разности потенциалов). При этом ток, задаваемый в базу VT1 через резистор R1 , проходит от источника Eпит в цепь коллектора VT1, смещенного в прямом направлении, через диод VD1 и далее в базу VT2. Транзистор VT2 при этом находится в режиме насыщения (VT2 - открыт) в точке *″B″* Uб=0,2 В (уровень логического нуля). Далее ток попадает на базу VT4 и открывает VT4 на выходе схемы ″0″.

**2.1.2. Комбинация: Х1 = Х2 =Х3 = Х4 = ″0″.**

 Когда на входы многоэмиттерного транзистора VT1 поданы уровни логического нуля переходы база - эмиттер смещаются в прямом направлении. Ток, задаваемый в его базу через резистор R1 проходит в цепь эмиттера. При этом коллекторный ток VT1 уменьшается, поэтому транзистор VT2 закрывается. Транзистор VT4 также закрывается (т.к. VT2 перекрыл доступ тока к базе VT4). На выход, через открытый эмиттерный переход VT3 попадает уровень логической единицы - на выходе ″1″.

**2.1.3. Любая иная комбинация.**

*Например:* Х1 = 1; Х2 = 0; Х3 = 1; Х4 = 1

Когда хотя бы на один любой вход многоэмиттерного транзистора VT1 подан уровень логического нуля соответствующий (тот на который подан ″0″) *″В″* переход база-эмиттер смещается в прямом направлении (открывается) и отбирает базовый ток транзистора VT2. Получается ситуация как в пункте 2.1.1.

**2.2. Таблица состояний логических элементов схемы.**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Х1** | **Х2** | **Х3** | **Х4** | **Uвх1** | **Uвх2** | **Uвх3** | **Uвх4** | **VT1** | **VT2** | **VT3** | **VT4** | **Uвых** | **Y** |
| 1 | 1 | 1 | 1 | 5 | 5 | 5 | 5 | Закр | откр | закр | откр | 0,2 | 0 |
| 0 | 0 | 0 | 0 | 0,2 | 0,2 | 0,2 | 0,2 | Откр | закр | откр | закр | 5 | 1 |
| 0 | 0 | 1 | 1 | 0,2 | 0,2 | 5 | 5 | Откр | закр | откр | закр | 5 | 1 |

**2.3. Таблица истинности.**

На выходе схемы появится уровень логической единицы при условии, что хотя бы на одном, но не на всех входах ″1″. Если на всех входах ″1″, то на выходе ″0″.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Х1** | **Х2** | **Х3** | **Х4** | **Y** |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

- Схема выполняет логическую функцию″И-НЕ″.

**2.4. Расчет потенциалов в точках.**

**2.4.1. Комбинация 0000.**

 При подаче на вход комбинации 0000 потенциал в точке *″A″* складывается из уровня нуля равно 0,2 В и падения напряжения на открытом p-n переходе равном 0,7 В. Значит потенциал в точке *″A″* Uа = 0,2 + 0,7 = 0,9 В.

Транзистор VT2 закрыт (см. п. 2.1.2.) ток от источника питания через него не проходит поэтому потенциал в точке *″B″* Uб = Eпит = 5 В. Транзистор VT2 и VT4 закрыт, поэтому потенциал в точке *″C″* Uс =0 В. Потенциал в точке *″D″* складывается из Епит = 5 В за вычетом падения напряжения на открытом транзис-торе VT3 равным 0,2 В и падения напряжения на диоде VD2 = 0,7 В. Напряжение Ud = 5 - ( 0,2 + 0,7 ) = 4,1 В.

**2.4.2. Комбинация 1111.**

 При подачи на вход комбинации 1111 эмиттерный переход VT1 запирается, через коллекторный переход протекает ток. На коллекторный переход VT1 подают напряжение равным 0,7 В. Далее 0,7 В подают на диоде КD1 и открытом эмитторном переходе транзистора VT2 , а также на открытом эмиттерном переходе транзистора VT4. Таким образом потенциал в точке *″a″* Ua = 0,7 + 0,7 + 0,7 + 0,7 =2,8 В. Потенциал в точке *″C″* Uс = 0,7 В. (Падение напряжения на эмиттерном переходе VT4 ).

Потенциал в точке *″B″* напряжение базы складывается из потенциала на коллекторе открытого транзистора VT2 = 0,2 В и падения напряжения на коллекторном переходе транзистора VT3 = 0,7 В. Напряжение Uб = 0,2 + 0,7 = 0,9 В. Потенциал в точке *″D″* напряжение Ud = 0,2 В. (Напряжения на коллекторном переходе открытого эмиттерного перехода VT4 ).

**2.4.3. Любая иная комбинация.**

При подачи на вход любой другой комбинации содержащей любое количество нулей и единицу (исключая комбинацию 1111) приведет к ситуации аналогичной п.3.2.1.

**2.5. Расчет токов.**

**2.5.1 Комбинация 0000.**

**2.5.2 Комбинация 1111.**

**2.6. Расчет мощности рассеиваемой на резисторах.**

**2.6.1 Комбинация 0000.**

PR1 = IR1 ⋅ U R1 = 1,025 ⋅ (5-0,9)=4,2 мВт

PR2 = IR2 ⋅ U R2 = 0 мВт

PR3 = IR3 ⋅ U R3 = 0 мВт

**2.6.2 Комбинация 1111.**

PR1 = IR1 ⋅ U R1 = 0,55 ⋅ (5-2,8) = 1,21 мВт

PR2 = IR2 ⋅ U R2 = 2,05 ⋅ (5-0,9) = 8,405 мВт

PR3 = IR3 ⋅ U R3 = 0,38 ⋅ 0,7 = 0,266 мВт

Сведем расчеты в таблицу.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Х1** | **Х2** | **Х3** | **Х4** | **Ua** | **Uб** | **Uc** | **Ud** | **IR1** | **IR2** | **IR3** | **PR1** | **PR2** | **PR3** |
| 0 | 0 | 0 | 0 | 0,9 | 5 | 0 | 4,1 | 1,025 | 0 | 0 | 4,2 | 0 | 0 |
| 1 | 1 | 1 | 1 | 2,8 | 0,9 | 0,7 | 0,2 | 0,55 | 2,05 | 0,38 | 1,21 | 8,4 | 0,26 |
| 0 | 0 | 1 | 1 | 0,9 | 5 | 0 | 4,1 | 1,025 | 0 | 0 | 4,2 | 0 | 0 |

**Ч а с т ь 3**

**3. Разработка топологии ГИМС.**

 В конструктивном отношении гибридная ИМС представляет собой заключенную в корпус плату (диэлектрическую или металлическую с изоляционным покрытием), на поверхности которой сформированы пленочные элементы и смонтированы компоненты.

 В качестве подложки ГИМС используем подложку из ситала, 9-го типоразмера имеющего геометрические размеры: 10х12 мм (см[2] стр.171; табл. 4.6). Топологический чертеж ГИМС выполним в масштабе 10:1.

**3.1. Расчет пассивных элементов ГИМС.**

 Для заданной схемы требуется 3 резистора следующих номинальных значений:

**R1 = 4 кОм R2 = 2 кОм R3 = 1,8 кОм**

Сопротивление резистора определяется по формуле:

 ,

где:

***RS*** - удельное поверхностное сопротивление материала.

 - длина резистора.

 ***b***  - ширина резистора.

Для изготовления резисторов возьмем пасту ПР - ЛС имеющую *RS =1 кОм*.

Тогда:

=2 мм *b* = 0,5 мм

R1 = 1000 ⋅ ( 2 / 0,5 ) = 4 кОм

 =1 мм *b* = 0,5 мм

R2 = 1000 ⋅ ( 1 / 0,5 ) = 2 кОм

=2,25 мм *b* = 1,25 мм

R3 = 1000 ⋅ ( 2,25 / 1,25 ) = 1,8 кОм

Сведем результаты в таблицу.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Номиналы резисторов кОм.** | **Материал резистора.** | **Материал контакта площадок.** | **Удельное сопротивление поверхности RS, (Ом/ )** | **Удельная мощность рассеивания (P0, Вт/см2).** | **Способ напыления пленок.** |  **- длина резистора.****(мм).** | ***B* - ширина резистора.****(мм).** |
| 4 | ПАСТА ПР-1К | ПАСТА ПП-1К | 1000 | 3 | Сетно-графия | 2 | 0,5 |
| 2 | ПАСТА ПР-1К | ПАСТА ПП-1К | 1000 | 3 | Сетно-графия | 1 | 0,5 |
| 1,8 | ПАСТА ПР-1К | ПАСТА ПП-1К | 1000 | 3 | Сетно-графия | 2,25 | 1,25 |

**3.2. Подбор навесных элементов ГИМС.**

Для данной схемы требуется:

1) один 4-х эмиттерный транзистор.

2) три транзистора n-p-n.

3) два диода.

Геометрические размеры навесных элементов должны быть соизмеримы с размерами пассивных элементов:

 1) В качестве 4-х эмиттерного транзистора использован транзистор с геометрическими размерами 1х4 мм и расположением выводов как на рис.1.



2) В качестве транзистора n-p-n используем транзистор КТ331.

**Эксплутационные данные:**

**Umax кэ = 15 В**

**Umax бэ = 3 В**

**I к max = 20 мА**

3) В качестве диодов использован диод 2Д910А-1

**Эксплутационные данные:**

**Uоб р = 5 В**

**Iпр = 10 мА**

Проверим удовлетворяет ли мощность рассеивания на резисторах максимальной мощности рассеивания для материала из которого изготовлены резисторы, а именно для пасты ПР-1К у которой P0 = 3 Вт/см2.

**Для R1**

 P1 max = 4,2 мВт

 SR1 =⋅ *b* = 2 ⋅ *b* = 2 ⋅ 0,5 = 1 мм2

Необходимо чтобы P0 ≥ P1 max , т.е. условие выполняется.

**Для R2**

 P2 max = 8,4 мВт

 SR2 =⋅ *b* = 2 ⋅ *b* = 1 ⋅ 0,5 = 0,5 мм2

Необходимо чтобы P0 ≥ P2 max , т.е. условие выполняется.

**Для R3**

 P3 max = 0,26 мВт

 SR2 =⋅ *b* = 2 ⋅ *b* = 2,25 ⋅ 1,25 = 2,82 мм2

Необходимо чтобы P0 ≥ P3 max , т.е. условие выполняется.

**3.3. Топологический чертеж ГИМС (масштаб 10:1).**