# Изучение принципов построения оперативной памяти

Министерство образования Российской Федерации

Владимирский государственный университет

### Кафедра УИТЭС

Лабораторная работа N9

Изучение принципов построения оперативных

запоминающих устройств

# Выполнил : ст. гр. УИ-198

Есин Г. Н

Проверил : Андреев И.А.

## Владимир 2000

.

Цель работы: Изучение основных принципов построения оперативных

запоминающих устройств статического и динамического типов.

Введение:

Одним из ведущих направлений развития современной микроэлектро-

ники элементной базы являются большие интегральные микросхемы

памяти, которые служат основой для построения запоминающих устро-

йств в аппаратуре различного назначения. Наиболее широкое приме-

нение эти микросхемы нашли в ЭВМ, в которых память представляет

собой функциональную часть, предназначенную для записи, хранения,

выдачи команд и обрабатываемых данных. Комплекс механических сре-

дств, реализующих функцию памяти, называют запоминающим устрой-

ством. В лабораторной работе представлены програмно реализованные

модели двух типов оперативных запоминающих устройств - статическо-

го и динамического.

Описание ЗУ:

Статическое запоминающее устройство.

Программная модель статического оперативного запоминающего устро-

йства представляет традиционную структуру ЗУ с призвольной выбор-

кой, состоящую из дешифраторов строк и столбцов и матрицы накопи-

тельных элементов. При выполнении работы имитируются режимы запи-

си и чтения данных для любой ячейки памяти. Помимо общей структу-

ры представлена схема отдельной ячейки памяти, представляющей со-

бой триггер на КМДП-транзисторах, имеющих каналы разного типа

проводимости: VT1, VT2 -каналы n-типа, VT3, VT4 -каналы p-типа. У

триггера два парафазных совмещенных входа-выхода. Ключевыми тран-

зисторами VT5, VT6 триггер соединен с разрядными шинами РШ1, РШ0,

по которым подводятся к триггеру при записи и отводятся от него

при считывании информации в парафазной форме представления: РШ1=D,

РШ0=D(инверт.). Ключевые транзисторы затворами соединены с адрес-

ной шиной(строкой). При возбуждении строки сигналом выборки X=1,

снимаемым с выхода джешифратора адреса строк, ключевые транзисто-

ры открываются и подключают входы-выходы триггера к разрядным ши-

нам. При отсутствии сигнала выборки строки, т.е. при X=0, ключе-

вые транзисторы закрыты и триггер изолирован от зарядных шин. Та-

ким образом реализуют в матрице режим обращения к ЭП для записи

или считывания информации и режим хранения мнформеции.

Для сохранения информации в триггере необходим источник питания,

т.е. триггер рассматриваемого типа является энергозависимым. При

наличии питания триггер способен сохранять свое состояние сколь

угодно долго. В одно из двух состояний, в которых может находить-

ся триггер, его приводят сигналы, поступающие по разрядным шинам

в режиме записи: при D=1(РШ1=1,РШ0=0) VT1, VT4,-открыты, VT2, VT3

-закрыты, при D=0(РШ1=0,РШ0=1)транзисторы свои состояния изменяют

на обратные. В режиме считывания РШ находятся в высокоомном сос-

тоянии и принимают потенциалы плеч триггера, передавая их затем

через устройство ввода-вывода на выход микросхемы DO, DO(инверт).

При этом хранящаяся в триггере информация не разрушается.

Особенность КМДП-триггеров заключается в том, что в режиме хра-

нения они потребляют незначительную мощность от источника питания,

поскольку в любом состоянии триггера в той или другой его полови-

не один транзистор, верхний или нижний, закрыт. В режиме обраще-

ния, когда переключаются элементы матрицы, дешифраторы и другие

функциональные узлы микросхемы, уровень ее энергопотребления воз-

растает на два-три порядка.

Вместе со структурой ОЗУ, схемы запоминающей ячейки на экране

представлены четыре типовые временные диаграммы работы статиче-

ского запоминающего устройства, которые описывают циклы записи

(слева) и считывания информации. В режиме записи на вход памяти

вначале подаются сигналы адреса, сигнал записи W/R=1 и информаци-

онный сигнал D. Затем устанавливают сигнал CS(инверт.)с задержкой

во времени tус.вм.а относительно сигналов адреса.

Длительность сигнала CS(инверт) определяют параметром tвм. Кро-

ме того, указывают длительность паузы tвм(инверт.) в последовате-

льности сигналов CS(инверт.), которую следует выдержать для вос-

становления потенциалов емкостных элементов схемы.

Сигналы адреса необходимо сохранить на время tсх.а.вм после сня-

тия сигнала CS(инверт.). В течении всего цикла записи tц.зп выход

микросхемы находится в высокоомном (третьем) состоянии.

В цикле считывания порядок подачи сигналов тот же, что при за-

писи, но при условии W/R=0. Время появления сигнала на информаци-

онном выходе DO определяют параметрами tв.вм(время выбора) и tв.а

(время выборки адреса), причем tв.а=tв.вм+tус.вм.а .

Запоминающая ячейка динамического ОЗУ.

В лабораторной работе изучается типичная ячейка динамического

ОЗУ на трех транзисторах. В дополнение к этим трем транзисторам,

необходимым для компоновки основной ячейки, вводится четвертый,

используемый при предварительной зарядке выходной емкости Cr.Бит

информации хранится в виде заряда емкости затвор-подложка (Cg).

Для опроса ячейки подается импульс на линию предварительной за-

рядки и открывается транзистор T4. При этом выходная емкость Cr

заряжается до уровня Ec и возбуждается линия выборки при считы-

вании. В результате открывается транзистор T3, напряжение с ко-

торого подается T2. Если в ячейке хранится 0 (Cg разряжена), то

T2 закрыт и на Cr сохранится заряд. Если же в ячейке содержится

1 (Cg заряжена), то транзистор T2 открыт и Cr разрядится. На вы-

ход поступает инвертируемое содержимое адресуемой ячейки.

Операция ЗАПИСЬ выполняется путем подачи соответствующего уро-

вня напряжения на линию записи данных с последующей подачей им-

пульса на линию выборки при записи. При этом транзистор T1 вклю-

чен и Cg заряжается до потенциала линии записи данных.

Существуют различные схемные варианты реализации динамического

ОЗУ. Во всех этих вариантах используется МОП-технология, поско-

льку для предотвращения быстрой зарядки емкости Cg необходимо

высокое полное входное сопротивление. Однако и для случая МОП-

приборов необходима периодическая регенерация ячейки (подзарядка

Cg). Период регенерации зависит от температуры и для современных

приборов находится, как правило, в интервале 1-3 мс при темпера-

туре от 0 до 55С. Регенерация ячейки динамического ОЗУ выполняе-

тся путем считывания хранимого бита информации, передачи его на

линию записи данных и последующей записи этого бита в ту же яче-

йку при помощи импульса, подаваемого на линию выборки при записи.

Вывод: Данная лабораторная работа проведена в соответствии с методическим указанием, представленным в виде текстового файла в приложении к обучающей программе. На данной лабораторной работе я изучил основные запоминающие устройства и разобрался с принципом их действия.