* + 1. Микропроцессор КР580.

Микросхема КР580ВМ80А представляет собой 8-разрядное центральное процессорное устройство (ЦПУ) параллельной обработки данных. Устройство не обладает возможностью аппаратного наращивания разрядности обрабатываемых данных, но позволяет осуществлять это программным способом. Структурная схема КР580ВМ80А представлена на рисунке 1.

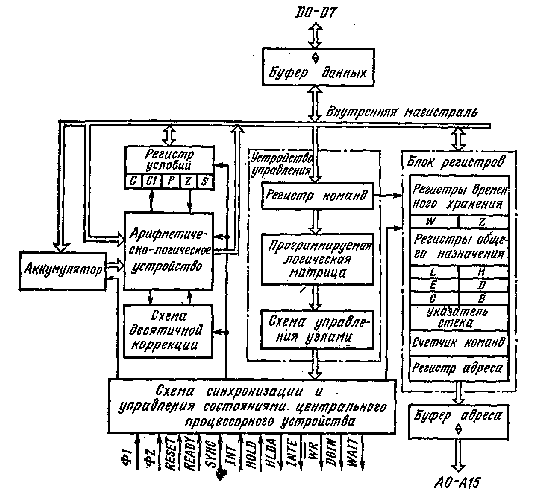


Рисунок 1- Структурная схема КР580ВМ80А.

Назначение основных узлов и принцип их взаимодействия.

Арифметическо-логическое устройство (АЛУ) обеспечивает выполнение арифметических, логических операций и операций сдвига над двоичными данными, представленными в дополнительном коде, или над двоично-десятичными данными. Устройство содержит схему десятичной коррекции, позволяющую производить операции десятичной арифметики. По результатам операций в АЛУ формируется ряд признаков, которые записываются в регистр условий. Признак переноса С устанавливается в единицу, если в результате выполнения команды появляется перенос из старшего разряда. Дополнительный признак переноса С1 устанавливается в единицу при возникновении переноса из третьего разряда. Используется в командах десятичной арифметики. Признак четности Р устанавливается в единицу, если

число единиц в разрядах результата четное. Признак нуля Z устанавливается в единицу, если результат равен нулю. Признак знака S указывает знак числа и равен единице, если число отрицательное, или нулю, если число положительное.

Блок регистров производит прием, хранение и выдачу различной информации, участвующей в процессе выполнения программы, и содержит счетчик команд, указатель стека, регистры общего назначения, регистры временного хранения и регистр адреса. Шестнадцатиразрядный счетчик команд хранит текущий адрес команды. Содержимое счетчика команд автоматически увеличивается после выборки каждого байта команды. Шестнадцатиразрядный указатель стека содержит начальный адрес памяти, используемый для хранения и восстановления содержимого программно-доступных регистров ЦПУ, Содержимое указателя стека уменьшается, когда данные загружаются в стек, и увеличивается, когда данные выбираются из стека. Восьмиразрядные регистры общего назначения В, С, D, Е, Н, L могут применяться как накопители (обрабатываемые данные находятся в самом регистре) и указатели (16-разрядный адрес операнда определяется

содержимым пары регистров). Регистры временного хранения W, Z используются для приема и временного запоминания второго и третьего байтов команд переходов, передаваемых с внутренней магистрали ЦПУ в счетчик команд. Эти регистры являются программно-недоступными. Шестнадцатиразрядный регистр адреса принимает и хранит в течение одного машинного цикла адрес команды или операнда и выдает его через буфер адреса на однонаправленную выходную магистраль АО-А 15. Буфер адреса выполнен в виде выходных формирователей, имеющих на выходе состояние "Выключено" (третье состояние),

Схема синхронизации и управления состояниями ЦПУ формирует машинные такты и циклы, которые координируют выполнение всех команд, и вырабатывает сигнал SYNC "Синхронизация", определяющий начало каждого машинного цикла. Для исполнения команды требуется от одного до пяти машинных циклов. Каждый цикл может состоять из 3-5 тактов (Т1-Т5), длительность каждого из них соответствует периоду следования тактовых импульсов Ф1, Ф2. Центральное процессорное устройство может находиться в трех состояниях (ожидание, захват и останов), продолжительность которых составляет целое число тактов и зависит от внешних управляющих сигналов.

Устройство управления формирует комплекс управляющих сигналов, организующих выполнение поступившей в ЦПУ команды, и состоит из регистра команд, программируемой логической матрицы (ПЛМ) и схемы управления узлами. Восьмиразрядный регистр команд осуществляет прием и хранение команды, поступающей по магистрали данных. Программируемая логическая матрица дешифрирует код операции команды и формирует микрооперации в соответствии с микропрограммой выполнения команды. Схема управления узлами вырабатывает для различных узлов ЦПУ необходимые управляющие сигналы. Восьмиразрядный буфер данных обеспечивает ввод команд и данных в ЦПУ, вывод данных и состояния ЦПУ через формирователи, имеющие на выходе состояние "Выключено".

Таблица 1- Назначение выводов КР580ВМ80А.

|  |  |  |
| --- | --- | --- |
|  | | |
| **Номер вывода** | **Обозначение** | **Назначение** |
| 25-27, 29-35, 1, 40, 37-39, 36 | А0-А15 | Шина адреса |
| 10, 9, 8, 7 | DO-D7 | Шина данных |
| 3-6 |  |  |
| 2 | GND | Общий |
| 11 | Ucci | -5В |

Продолжение таблицы 1- Назначение выводов КР580ВМ80А.

|  |  |  |
| --- | --- | --- |
| 12 | RESET | Установка |
| 13 | HOLD | Захват шин |
| 14 | INT | Прерывание |
| 15, 22 | Ф2, Ф1 | Фаза |
| 16 | INTA | Разрешение прерывания |
| 17 | DBIN | Прием |
| 18 | WR | Запись (выдача) |
| 19 | SYNC | Синхронизация |
| 20 | Ucc" | +5В |
| 21 | HLDA | Подтверждение захвата |
| 23 | READY | Готовность |
| 24 | WAIT | Ожидание |
| 28 | Ucca | +12В |

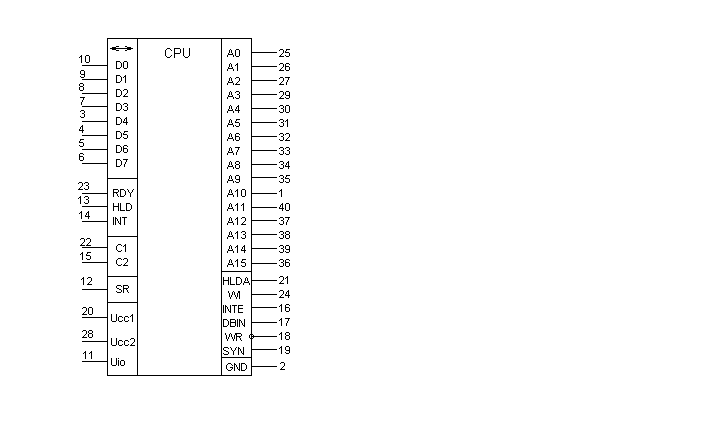


Рисунок 2-Интегральное исполнение ИМС КР580ВМ80А.

Основные технические характеристики ПРОЦЕССОРА:

разрядность МД - 8;

разрядность МА - 16;

адресное пространство - 64 Кб;

число РОН - 6 восьмиразрядных;

организация стека - указатель стека позволяет в любой точки памяти зафиксировать вершину стека;

организация прерываний - прерывания векторные, существует упрощенная возможность организации прерываний на восемь направлений (адресов);

быстродействие - 500 000 коротких (регистр - регистр) операций;

тактовая частота 0,5…2,5 МГц;

напряжения питания 5,12 В;

мощность рассеивания 1,25 Вт;

технология n-МДП;

диапазон рабочих температур 10…+70 С;

Uвыс ур(высокого уровня) - 9…13 В

Uнизк ур(низкого уровня) - -0,3…+0,8 В

Длительность тактовых импульсов:

С1 і (больше равно) 60 нс

С2 і 220 нс

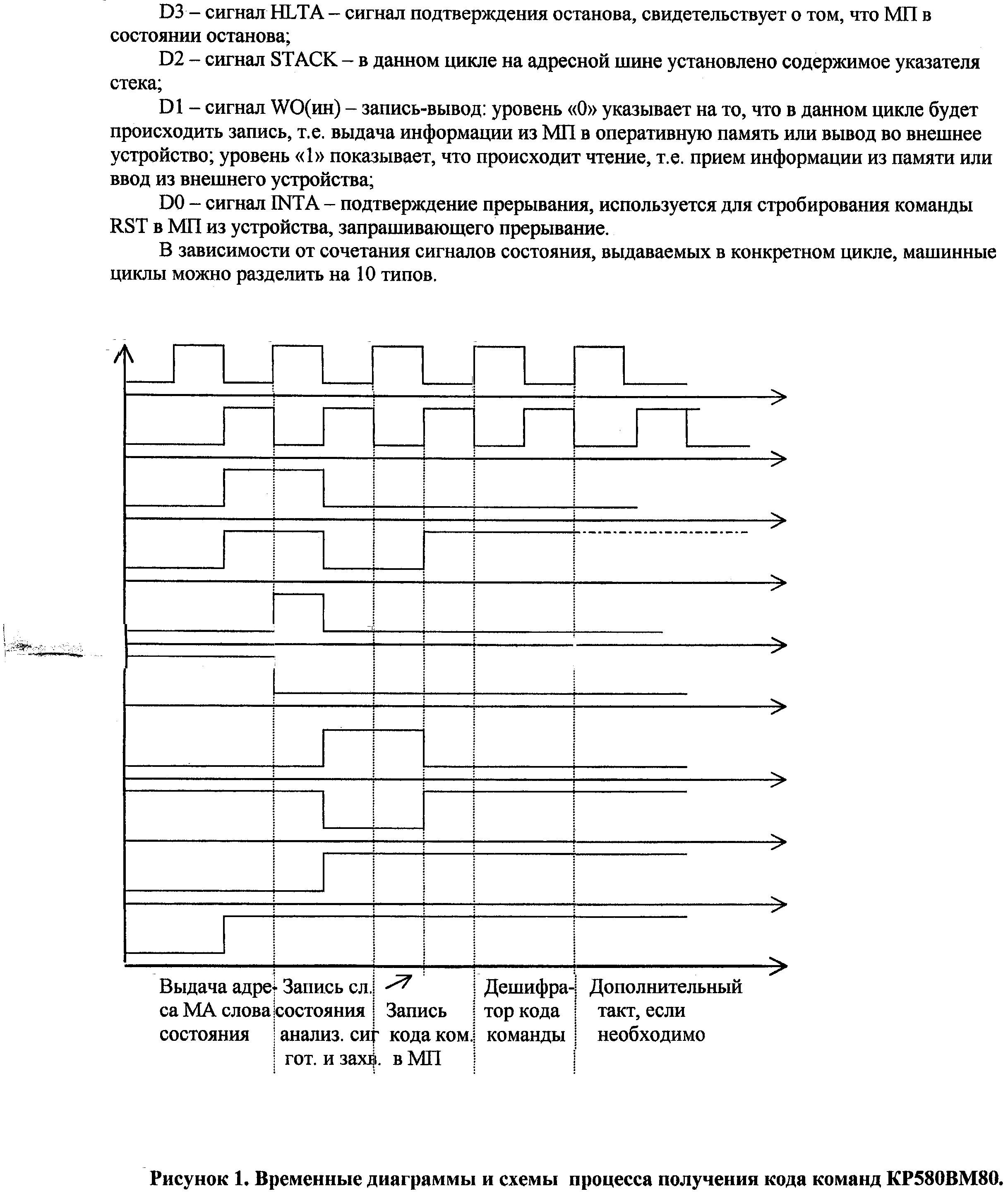


Рисунок 3- Временные диаграммы процесса получения кода команд КР580ВМ80А.

1.1.2 Генератор тактовых импульсов КР580ГФ24.

Микросхема КР580ГФ24 представляет собой генератор тактовых импульсов (ГТИ), предназначенный для совместной работы с ЦПУ KP580BM80A. Генератор формирует: высокоуровневые тактовые сигналы Ф1 и Ф2 о несовпадающими фазами; тактовый сигнал Ф2Т, по уровню совместимый с ТТЛ и синхронизированный с сигналом Ф2; сигнал STSTB “Строб состояния”, который, поступая на системный контроллер, фиксирует состояние шины данных микропроцессора; сигнал RESET “Установка”.

Генератор опорной частоты при подключении к выводам XTALf и XTAL2 кварцевого резонатора обеспечивает высокую стабильность частоты, определяемую основной частотой возбуждения кварцевого резонатора.

Выход генератора опорной частоты выведен на внешний вывод OSC и соединен внутри микросхемы со счетчиком-делителем, входящим в состав .тактового генератора. Тактовый генератор состоит из счетчика-делителя на 9, логических дешифраторов, формирующих требуемые тактовые импульсы, выходных формирователей и вспомогательных логических схем и триггеров для генерации выходных сигналов: Ф1.Ф2.Ф2Т, STSTB, Тактовые импульсы Ф1 и Ф2 управляют МОП-входами микропроцессора КР580ВМ80А. Тактовый импульо Ф2Т используется для управления ТТЛ-входами в режиме прямого обращения к памяти.

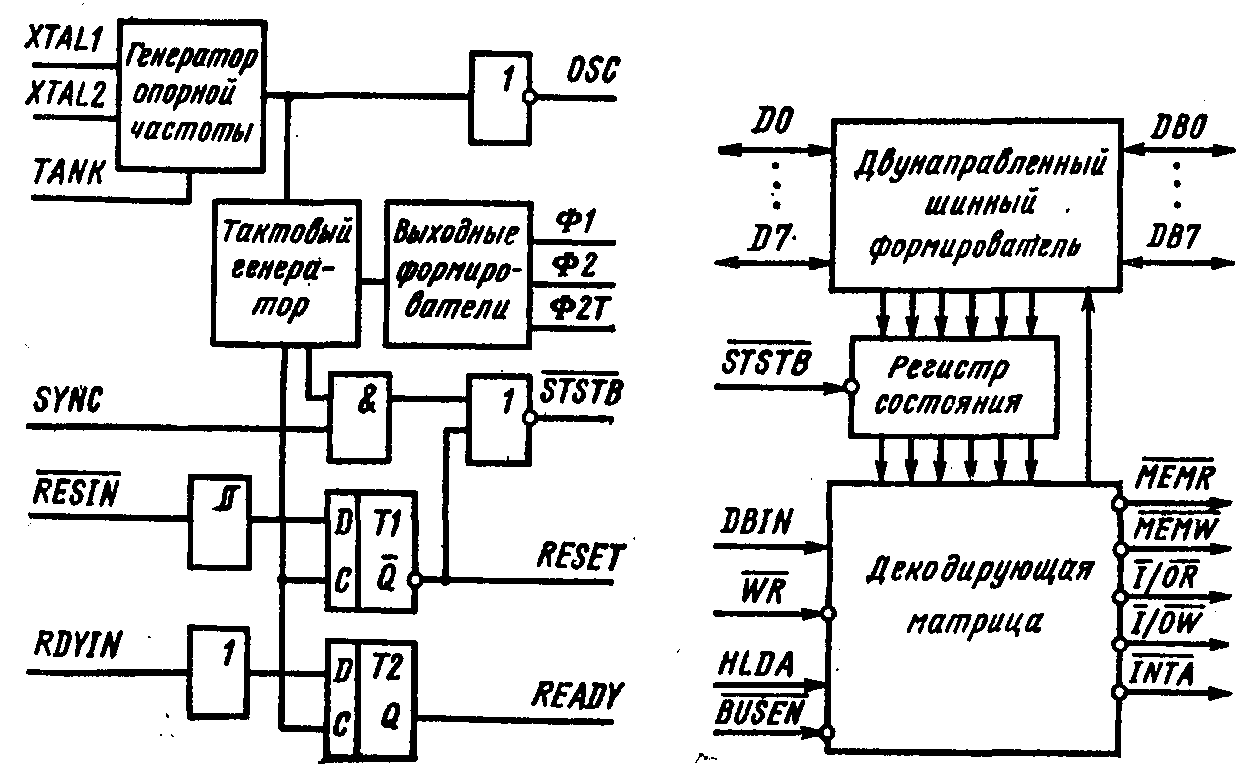


Рисунок 4- Структурная схема КР580ГФ24.

Таблица 2- Назначение выводов КР580ГФ24.

|  |  |  |
| --- | --- | --- |
| **Номер вывода** | **Обозначение** | **Назначение** |
| 1 | RESET | Установка (выход) |
| 2 | RESIN | Установка (вход) |
| 3 | RDYIN | Готовность (вход) |
| 4 | READY | Готовность (выход) |
| 5 | SYNC | Синхронизация |
| 6 | Ф2Т | Фаза 2 с уровнем ТТЛ |
| 7 | STSTB | Строб состояния |
| 8 | GND | Общий |
| 9 | Ucci | +12 В |
| 10, 11 | Ф2,Ф1 | Фаза 2, 1 |
| 12 | OSC | Выход осциллятора |
| 13 | TANK | Вход колебательного контура |
| 14, 15 | XTAL2, XTAL1 | Кварцевый резонатор |
| 16 | Ucc | +5В |

Отрицательный сигнал STSTB, длительность которого равна од--ному периоду частоты опорного генератора, формируется микросхемой КР580ГФ24 при поступлении на ее вход с микропроцессора КР580ВМ80А сигнала SYNC “Синхронизация”, свидетельствующего о начале машинного цикла.

При поступлении входного сигнала RESIN микросхема КР580ГФ24 с помощью триггера Шмитта и триггера Т1 вырабатывает сигнал RESET, синхронизированный с тактовым сигналом Ф2, По сигналу RESET осуществляется установка в исходное состояние различных устройств микропроцессорной системы. Наличие в микросхеме триггера Шмитта позволяет подавать на вход RESIN сигнал с пологим фронтом. С помощью триггера Т2 осуществляется стробиро-вание входного сигнала RDYIN “Готовность” тактовым сигналом Ф2.

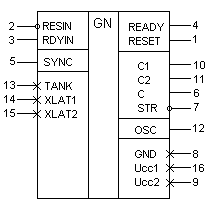


Рисунок 5-Интегральное исполнение ИМС КР580ГФ24.

1.1.3 Интерфейс ввода- вывода ИМС КР580ВВ55А.

Микросхема КР580ВВ55А предназначена для параллельной передачи информации между

микропроцессором и периферийными устройствами и содержит три 8-разрядных канала ввода/вывода А, В, С.

Канал С может быть представлен в виде двух 4-разрядных каналов ввода/вывода, доступ к которым производится как к отдельным независимым каналам. Периферийные устройства подключаются к каналам А, В, С, а связь с микропроцессором осуществляется с помощью шины D через буфер данных. Каждый из каналов А, В, С состоит из 8-разрядного регистра и двунаправленных формирователей, имеющих на выходе состояние “Выключено”. Устройство управления содержит регистр управляющего слова (РУС), в который предварительно производится запись информации, определяющей режим работы каналов, и формирует сигналы выбора канала и управления каналом С.

Микросхема может работать в одном из трех режимов: режии О — простой ввод/вывод; режим 1 — стробируемый ввод/вывод; режим 2 — двунаправленный канал. Режим работы каналов можно изменять как в начале, так и в процессе выполнения программы, что позволяет обслуживать различные периферийные устройства в определенном порядке с помощью одной микросхемы КР580ВВ55А. Каналы А и В могут работать в различных

режимах, а работа канала С зависит от режимов работы каналов А и В, Комбинируя режимы работы каналов, можно обеспечить работу микросхемы почти с любым периферийным устройством.

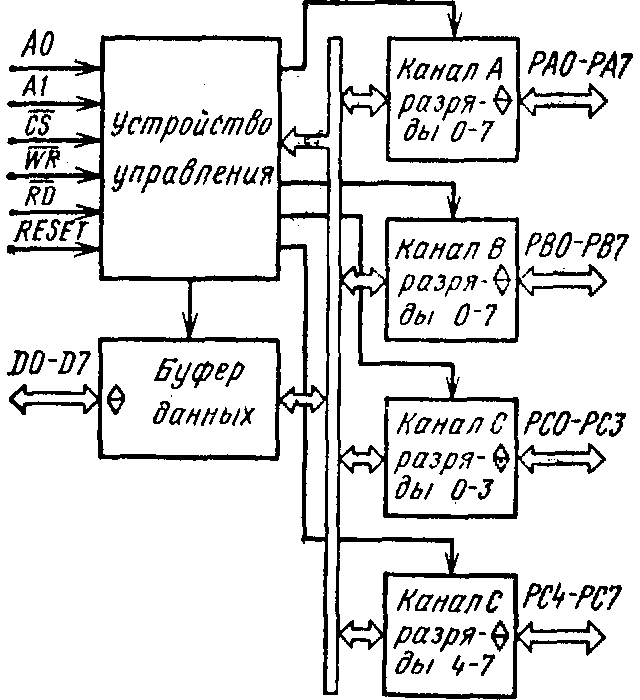


Рисунок 6- Структурная схема КР580ВВ55А.

В режиме 0 осуществляется простой ввод/вывод данных по трем 8-разрядным каналам, причем канал С может использоваться как два 4-разрядных канала. Каждый из каналов может использоваться отдельно для ввода или вывода информации. В режиме О входная информация не запоминается, а выходная хранится в выходных регистрах до записи новой информации в канал или до записи нового режима.

В режиме 1 передача данных осуществляется только через каналы А и В, а линии канала С служат для приема и выдачи сигналов управления. Каждый из каналов А и В независимо

друг от друга может использоваться для ввода или вывода 8-разрядных данных, причем входные и выходные данные фиксируются в регистрах каналов.

В режиме 2 для канала А обеспечивается возможность обмена информацией о периферийными устройствами по 8-разрядному двунаправленному каналу. Для организации обмена используются пять линий канала С. В режиме 2 входные и выходные данные фиксируются во входном и выходном регистрах соответственно.

Таблица 3- Назначение выводов ИМС КР580ВВ55А.

|  |  |  |
| --- | --- | --- |
| **Номер вывода** | **Обозначение** | **Назначение** |
| 9, 8 | АО, А1 | Адрес |
| 27—34 | D7—DO | Шина данных |

Продолжение таблицы 3- Назначение выводов ИМС КР580ВВ55А.

|  |  |  |
| --- | --- | --- |
| 37—40, 1—4 | РА7—РАО | Канал А |
| 5 | RD | Чтение |
| 6 | CS | Выбор микросхемы |
| 7 | GND | Общий |
| 10—13, 17, 16, 15, 14 | PC7—PCO | Канал С |
| 18—25 | PBO—PB7 | Канал В |
| 26 | Ucc | +5 В |
| 35 | RESET | Установка |
| 36 | WR | Запись |

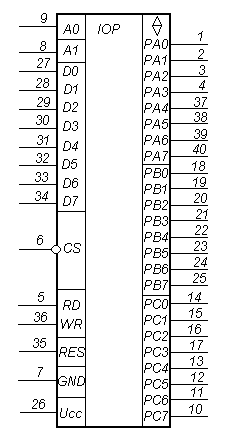


Рисунок 7- Интегральное исполнение интерфейса ввода- вывода.

1.1.4 Системный контроллер КР580ВК38.

Микросхема КР580ВК38 выполняет функцию системного контроллера и шинного формирователя, осуществляет формирование управляющих сигналов обращения к ОЗУ или к устройствам ввода/вывода (УВВ) и обеспечивает прием и передачу 8-разрядной информации между шиной данных микропроцессора и системной шиной.

Формирование сигналов I/OW, MEMW в данной микросхеме происходит относительно сигнала STSTB “Строб состояния”, что позволяет при применении в микропроцессорной системе микросхемы КР580ВК38 использовать ЗУ и УВВ с более широким диапазоном быстродействия. . Двунаправленный шинный формирователь осуществляет буферирование 8-разрядной шины данных и автоматический контроль направления передачи данных.

Подключение системного контроллера к шине данных микропроцессора осуществляется с помощью двунаправленных выводов DO—D7, к системной шине—с помощью двунаправленных выводов DBO—DB7. При необходимости с помощью сигнала BUSEN “Управление системной шиной” выводы DBO—DB7 системного контроллера могут быть переведены в состояние “Выключено”.

Таблица 4- Назначение выводов ИМС КР580ВК38.

|  |  |  |
| --- | --- | --- |
| **Номер вывода** | **Обозначение** | **Назначение** |
| 6, 8, 10, 12, 15, 17, 19, 21 | DO—D7 | Шина данных |
| 5, 7, 9, 11, 13, 16, 18, 20 | DBO—DB7 | Системная шина |
| 1 | STSTB | Строб состояния |
| 2 | HLDA | Подтверждение захвата |
| 3 | WR | Запись |
| 4 | DBIN | Прием |
| 14 | GND | Общий |
| 22 | BUSEN | Управление системной шиной |
| 23 | INTA | Подтверждение прерывания |
| 24 | MEMR | Чтение памяти |
| 25 | I/OR | Чтение УВВ |
| 26 | MEMW | Запись в память |
| 27 | I/OW | Запись в УВВ |
| 28 | Ucc | +5 В |

Регистр состояния выполнен на шести D-триггерах и предназначен для хранения информации о состоянии микропроцессора, поступающей по шине данных DO—D7. Запись в регистр состояния осуществляется по сигналу STSTB, поступающему в начале каждого машинного цикла.

Декодирующая матрица в зависимости от режима работы микропроцессора, зафиксированного в регистре состояния, и входных управляющих сигналов HLDA, WR, DBIN формирует сигнал INTA “Подтверждение прерывания” или сигналы чтения/записи при обращении к ОЗУ или УВВ.

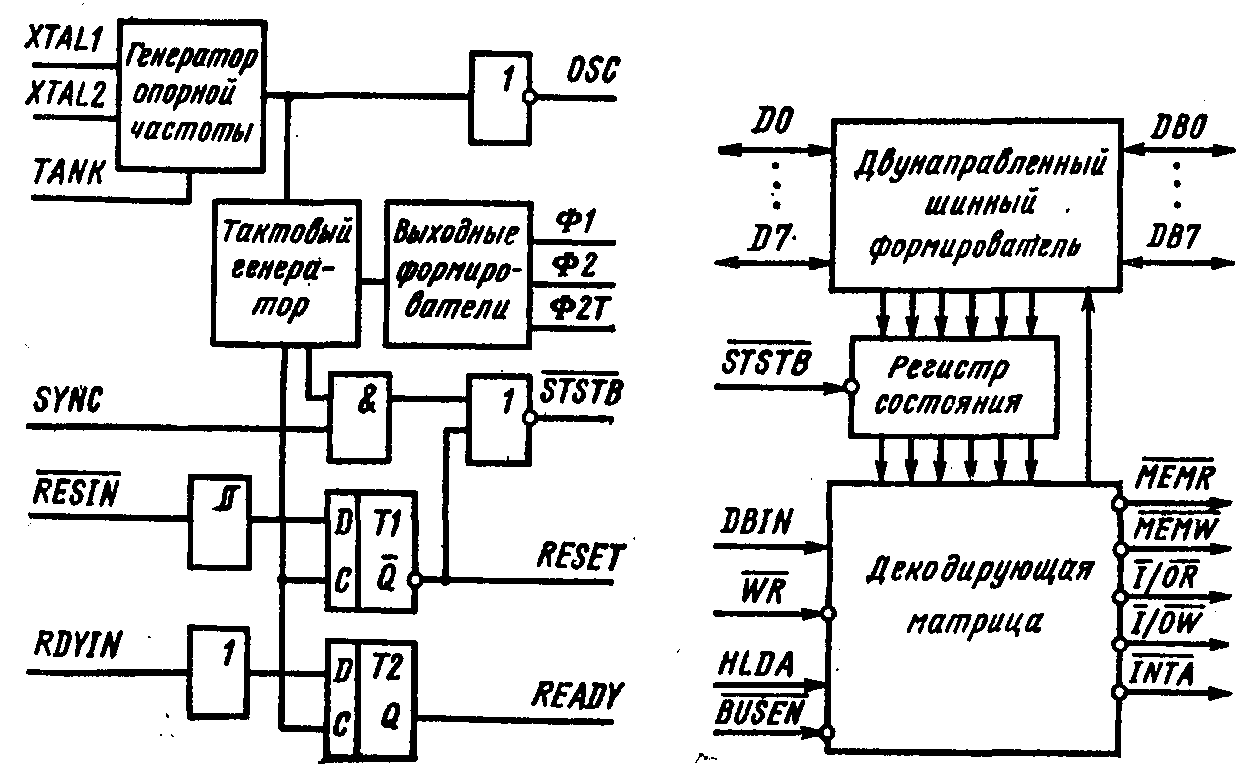
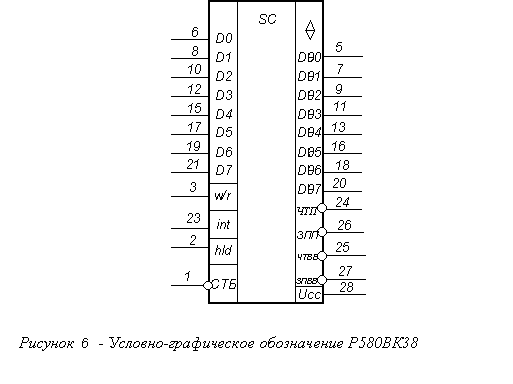


Рисунок 8- Интегральное исполнение ИМС КР580ВК38.

Рисунок 9- Структурная схема ИМС КР580ВК38.

1.1.5 Буферный регистр.

Микросхема КР580ИР82 представляет собой 8-разрядный буферный регистр, предназначенный для ввода и вывода информации со стробированием. Она может ильзоваться как в микропроцессорных системах, построенных на микросхемах серии КР580, так и в других вычислительных системах и устройствах дискретной автоматики.

Микросхема КР580ИР83 не содержит инвертирующие выходы. Данная микросхема имеет восемь триггеров D-типа и восемь выходных буферов, имеющих на выходе состояние “Выключено”. Управление передачей информации осуществляется с помощью сигнала STB “Строб”.

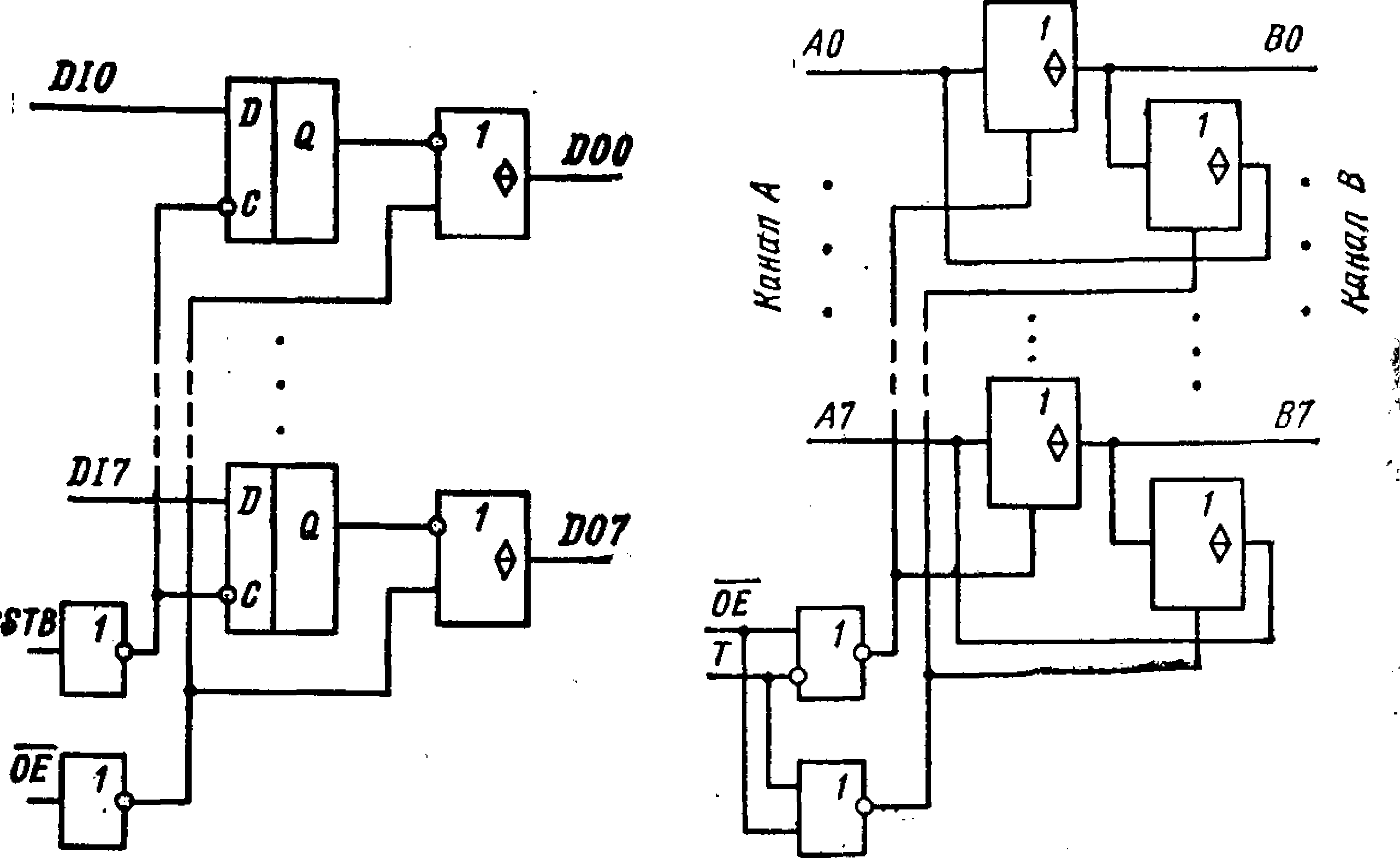


Рисунок 10- Структурная схема ИМС КР580ИР82.

При поступлении на вход STB сигнала высокого уровня осуществляется не тактируемая передача информации от входа DI до выхода DO. При подаче на вход STB сигнала низкого уровня микросхема хранит информацию предыдущего такта; при подаче на вход STB положительного перепада импульса происходит “защелкивание” входной информации. Выходные буферы микросхемы КР580ИР82 управляются сигналом ОЕ “Разрешение выхода”. При поступлении на вход ОЕ сигнала высокого уровня выходные буферы переводятся в состояние “Выключено”. Назначение выводов КР580ИР82 приведено в таблице 5.

Таблица 5- Назначение выводов КР580ИР82.

|  |  |  |
| --- | --- | --- |
| **Номер вывода** | **Обозначение** | **Назначение** |
| 1-8 | DIO—DI7 | Входы регистра |
| 9 | ОЕ | Разрешение выхода |
| 10 | GND | Общий |
| 11 | CTD | Строб |
| 19—12 | DOO-D07 | Выходы регистра |
| 20 | Ucc | +5 В |

Электрические параметры РЕГИСТРА:

1. Uпит (напряжение питания) - 5 В

2. Выходное напряжение питания низкого уровня ( Uвых низ ур ): < 0.45 В

3. Выходное напряжение питания высокого уровня ( Uвых выс ур ): > 2.4 В

4. tзадер (Время задержки распространения информационного сигнала на выходе относительно информационного сигнала на входе < 30 нс

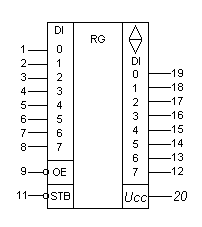
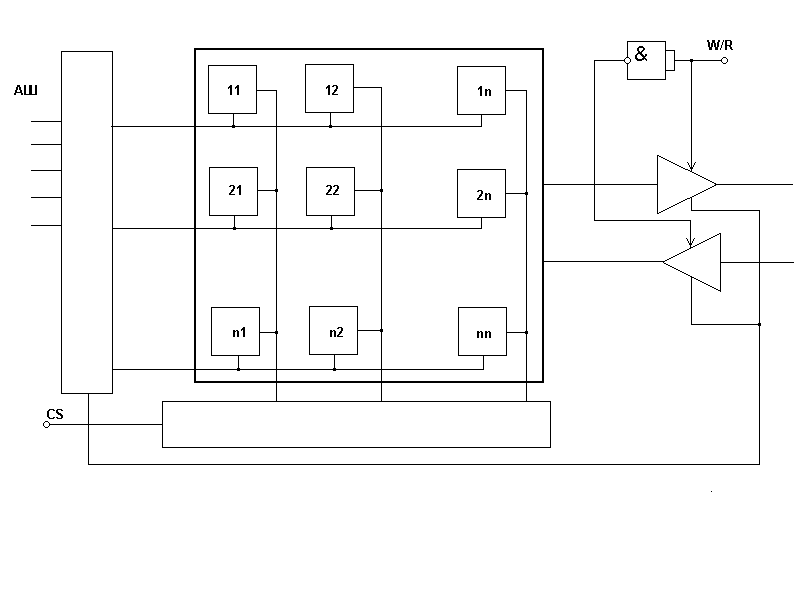


Рисунок 11- Интегральное исполнение ИМС КР580ИР82.

1.1.6 Оперативное запоминающее устройство КР537РУ8.



Микросхема представляет собой оперативное запоминающее устройство емкостью 16К

Вывод

Ус чт.

Ввод

Ус зап.

Дешифратор адреса столбцов.

Рисунок 12- Организация ИМС ОЗУ.

Оперативные ЗУ предназначены для хранения переменной информации и имеют практически одинаковое быстродействие при считывании и записи. По способу хранения информации ОЗУ делятся на два основных типа: статические и динамические. Статические запоминающие элементы могут хранить информацию сколь угодно долго, пока подается электропитание. Динамические запоминающие элементы, напротив, способны хранить информацию только непродолжительное время. Поэтому для хранения информации её нужно периодически обновлять, или, другими словами регенерировать. Для обоих типов оперативных ЗУ существует множество различных схем. Их разнообразие отражает не

только множество технологий (ТТЛ, *n*-МОП, КМОП, ЭСЛ и т.д.) и конструкций, но ещё и разнообразие требований, предъявляемым к модулям памяти в отношении быстродействия,

емкости, плотности упаковки элементов и потребляемой мощности.

Статические ЗУ с произвольной выборкой (Random Access Memory) строятся на триггерах с непосредственными связями, которые могут неограниченно долго хранить информацию при включенном питании. Эти ОЗУ очень просты в эксплуатации, обладают высокой помехоустойчивостью, не требуют дорогих и сложных схем обслуживания, благодаря чему достигается умеренная стоимость всей системы памяти. При интегральной реализации статических ОЗУ используются два вида запоминающих матриц: накопители повышенного быстродействия (время цикла менее 100 нс) без схем дешифрации со средней степенью интеграции в БИС (до 256 бит); накопители среднего быстродействия (время цикла 300-1000 нс) с повышенной информационной ёмкостью



Рисунок 13- словарная организация БИС ОЗУ.

от 256 до 16384 бит со схемами дешифрации.Статические ОЗУ в зависимости от принципа построения накопителя имеют словарную или матричную организацию. При словарной организации ОЗУ обращение производится одновременно к запоминающим элементам нескольких разрядов, соответствующих некоторой части слова или всего слова. Основными достоинствами ОЗУ со словарной организацией является простота базовой ячейки, и минимальное число шин управления, необходимых для реализации накопителя. Важное значение имеет также и то обстоятельство, что при словарной

организации матрицы БИС в виде m одноразрядных слов удается обеспечить минимальную мощность рассеяния в режиме записи и считывания.

Обобщенная структура БИС со словарной организацией матрицы приведена на рисунке 13. Код адреса n-разрядного слова подается на адресный дешифратор, который выбирает нужное слово. Адресный усилитель возбуждает соответствующую словарную шину и слово, код которого поступает на входные разрядные шины, записывается в выбранную строку матрицы согласно коду адреса. Аналогично, с помощью разрядных усилителей производится считывание выбранного слова в выходной регистр.

При матричной организации БИС возможно обращение к любому ЗЭ накопителя независимо от других элементов, расположенных на той же БИС. Микросхемы с матричной организацией называют также ОЗУ с разрядной организацией или с двукоординатной выборкой.

Обобщенная структурная схема БИС ОЗУ с матричной организацией приведена на рисунке 14. Код адреса ячейки поступает на адресные дешифраторы, которые выбирают в накопителе нужную строку и столбец. Выборка ячейки происходит по принципу

совпадения сигналов возбуждения соответствующих шин по двум координатам. При матричной организации ОЗУ часто используется метод выборки столбца с помощью селектора данных. Для чтения по линиям , соответствующим столбцам, содержимое всех элементов строки посылается в селектор, который выбирает бит одного столбца в соответствии с заданным адресом и выдает этот бит на выходную линию данных. Специальные схемы в запоминающем элементе осуществляют как доминирование



Рисунок 14- Матричная организация БИС ОЗУ.

поступающего извне значения, так и сохранение этого значения в ЗЭ выбранной строки. При разработке ОЗУ большой ёмкости (≥16 Кбит) применяется микросхемы ОЗУ динамического типа, в которых увеличение ёмкости достигается за счет уменьшения числа элементов и как следствие уменьшение занимаемой площади. Уменьшение числа элементов происходит при использовании динамических запоминающих ячеек, в которых информация хранится в виде заряда соответствующих ёмкостей. Ток утечки обратно смещенного p-n перехода имеет значение не более 10-10 А, а ёмкость накопительного конденсатора не превышает 0,1-0,2 пФ, следовательно постоянная времени разряда конденсатора t≥1 мс. Поэтому для выдачи состояния низкого или высокого уровня сигнала на выходе БИС необходимо осуществлять периодическое восстановление информации (или её регенерацию) с периодом *tREF* ≤1÷2 мс.

Таким образом, главные отличия динамических устройств памяти от статических заключаются в следующем: отсутствует источник питания запоминающих ячеек; необходимы логические схемы, обеспечивающие регенерацию ячеек; обрамление требует более сложных схем; максимальная простота схемы накопителя, для обеспечения минимально занимаемой площади; меньшая потребляемая мощность.

Итак, проведя сравнительный анализ принципов работы и основных характеристик статических и динамических устройств памяти выберем ОЗУ статического типа со словарной организацией К537РУ8 условное обозначение которой и наименование выводов показаны на рисунке 15.

Данная ИМС содержит матрицу запоминающих элементов 2048\*8 , представляющую собой накопитель ёмкостью 16384 бит (16 Кбит), дешифраторы адреса строк (DCK) и столбцов (DCS), блок управления СИ, адресные и выходные формирователи и разрядные усилители записи-считывания. Режим работы устанавливается с помощью сигналов CS1, CS2, W/R

Параметры микросхемы:

Организация 2К\*8;

Ucc 5В;

Т цикла 200нс;

Сн 50пФ;

Свх 10пФ;

Тип корпуса 239.24-2;

Таблица 6- Истинность микросхемы KP537PУ8.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CS1vCS2 | WR/RD | А0…А10 | DIO0…DIO7 | Режим работы |
| 1 | Х | X | Z | Хранение |
| 0 | 0 | А | D0…D7 | Запись |
| 0 | 1 | А | D0…D7 | Считывание |

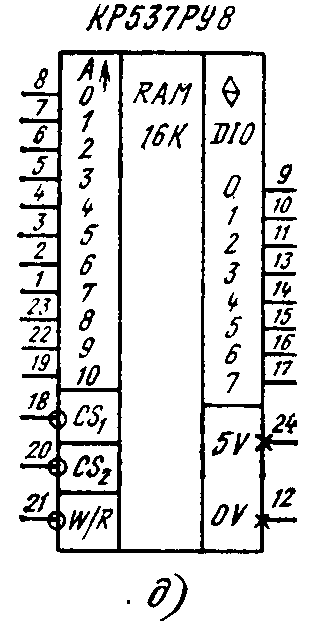


Рисунок 15- Интегральное исполнение ИМС КР537РУ8.

1.1.7 Постоянное программируемое запоминающее устройствоКР556РТ17.

В настоящее время разработаны и выпускаются ПЗУ нескольких типов:

- ПЗУ масочного типа;

- программируемые ПЗУ;

- электрически программируемые ПЗУ;

- электрически программируемые ПЗУ с ультрафиолетовым стиранием.

Масочные ПЗУ – микросхемы, в которых информация записывается при изготовлении с фиксированным рисунком межсоединений, определяемым маской (шаблоном). В ПЗУ запоминающие элементы объединены в двухкоординатную матрицу, образованную при пересечении совокупности входных (чисел) и выходных (разрядов) информационных шин. В местах пересечений шин могут быть включены диоды, биполярные транзисторы и МОП-транзисторы. Наибольшее распространение получили ПЗУ на МОП-транзисторах ввиду технологической простоты и связанной с этим возможностью получения высокой степени интеграции, а так же малой потребляемой мощностью. Запись информации в масочное ПЗУ производится с помощью сменного заказного фотошаблона. Документом, определяющим хранимую в накопителе информацию, является карта заказа на данную микросхему. Изготовление маски довольно дорого, но с помощью одной маски можно запрограммировать любое число модулей памяти. Следовательно, масочные ПЗУ рентабельны при крупносерийном производстве.

Постоянные запоминающие устройства, допускающие однократное программирование у заказчика – это микросхемы, в которых состояние ячеек можно задать уже после изготовления устройства (создав либо разрушив перемычки). Наибольшее распространение получили перемычки в виде плавких вставок (например из нихрома или поликремния), которые можно избирательно пережечь, с помощью внешнего источника тока. Накопитель ППЗУ представляет собой матрицу на биполярных транзисторах с плавкими перемычками, включенными последовательно с эмиттерами транзисторов, т.е функциональная схема БИС ППЗУ аналогична схеме масочного ПЗУ.

Программирование БИС ППЗУ разных серий производится на специальных устройствах-программаторах. В табл.1 приведены некоторые типы отечественных программаторов

Постоянные запоминающие устройства, допускающие многократное программирование и сохраняющие информацию при отключении питания (Errasеble-Programmable-Read-Only-Memory – стираемая программируемая память только со считыванием) – микросхемы, использующие элементы коммутации, которые можно устанавливать в одно (замкнутое) состояние избирательно, а в другое (разомкнутое) – коллективно. Программирование таких ПЗУ сводится сначала к коллективной установке всех перемычек в одно состояние, что равносильно стиранию ранее записанной информации и последующей поочередной установки нужных перемычек в другое состояние.

Электрически программируемые ПЗУ характеризуются сочетанием положительных качеств ПЗУ – энергонезависимым хранением информации и высокой удельной плотностью её записи с возможной многократной сменой информации, как в ОЗУ.

Микросхемы со стиранием ультрафиолетом представляют собой РПЗУ на основе лавинно-инжекционных МОП-транзисторов с плавающим затвором, в которых запись информации осуществляется электрическим способом, а для стирания информации требуется облучение ультрафиолетовым излучением.

Мы для своего микропроцессорного комплекта выберем наиболее простой тип ПЗУ это программируемое постоянное запоминающее устройство КР556РТ17 емкостью 4 кбит (512 х 8) с тремя состояниями на выходе;

Таблица 7- Виды программаторов и их возможности.

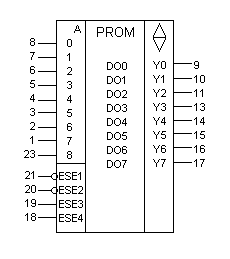


Рисунок 16- Интегральное исполнение ИМС КР556РТ17.

