МНОГОПРОЦЕССОРНАЯ ОТКАЗОУСТОЙЧИВАЯ ВЫЧИСЛИТЕЛЬНАЯ СИСТЕМА

1 Назначение МВС

Проектируемая МВС предназначена для решения научно-технических задач и

исследовательских задач, отличающихся большой вычислительной мощностью, а также

возможно использование проетируемой МВС в системах реального времени.

2 Состав МВС

Проектируемая МВС состоит из следующих функциональных частей:

процессорные модули

централизованный контроллер приоритетных прерываний

банк глобальной памяти

внешие устройства

централизованный арбитр доступа к общему ресурсу

блок выбора ПЭ-мастера

Процессорные модули состоят из следующих функциональных узлов:

процессорный элемент

локальная память

блок контроля

коммутатор

внутренний автомат арбитра доступа к общему ресурсу

3 Технические требования

3.1 Общие технические требования

3.1.1 Устойчивость к внешним воздействующим факторам

Основные технические параметры устойчивости приведены в табл. 1.

Механические факторы:

Проектируемая МВС должна сохранять внешний вид и работоспособность после

многократного воздействия ударных нагрузок с пиковым ускорением не более 5g при

длительности воздействия ударного ускорения 10-15 мс, а также выдерживать

вибрационную нагрузку с амплитудой виброперемещения 0,1 мм в диапазоне частот 25

Гц.

Защита от попадания твердых тел, проникновения воды и прикосновения токоведущих

частей по ГОСТ 14.254-80 степень IР33.

Таблица 1 - Основные технические параметры устойчивостиПараметры и единицы

измеренияНорма

1Допустимый диапазон температур, оС+5 … 40

2Максимальная допустимая относительная влажность при температуре 25оС, %80

3Диапазон допустимых атмосферных давлений, кПа80 … 105

Защита от внутренних и внешних электрических и радиационных помех

Радиационная стойкость по ГОСТ 15484-74.

Стойкость к индустриальным помехам по ГОСТ 25211-79.

Питание

Питание от сети переменного тока напряжением 220В.

Комплектность Многопроцессорная вычислительная система, шт.1

Руководство по эксплуатации, эск.1

Тара упаковочная, шт.1

Частные технические требования

МВС строится на основе двоичной системы счисления. Процессорные элементы

реализованы с выполнением совмещения выборки и выполнения команд. Объем

локальной памяти в каждом процессорном модуле (ПМ) составляет 2 МБ, банк

глобальной памяти - объемом 12М.

Количество обслуживаемых внешних устройств – 24 шт.

Проектируемая МВС ориентирована на применение многозадачной операционной

системы(ОС) на архитектуре систем с глобальной памятью, работа ведется в режиме

Ведущий-Ведомый (Master-Slave).

4 Требования надежности

коеффициент готовности – не менее 0,998

среднее время безотказной работы – 5000 час.

5 Конструктивные требования

Конструкционная система по МС МЭК 297-1.

МВС строится на стандартных микросхемах.

Этапы проектированияные

1.Техническое задание

2.Техническое предложение

3.Эскизный проект

4.Технический проект

5.Подготовка рабочей документации

7 Перечень документации

7.1 Текстовая документация

техническое задание

пояснительная записка с приложениями

7.2 Графическая документация

Многопроцессорная вычислительная система. Схема электрическая функциональная

Централизованный арбитр доступа к общему ресурсу. Схема электрическая

принципиальная

Ведомость технического проекта

7.4 Рабочая документация

спецификация многопроцессорной вычислительной системы

ведомость спецификаций

ведомость покупных изделий

ВВЕДЕНИЕ

В данном курсовом проекте разрабатывается многопроцессорная вычислительная

система (МВС) ориентированная на физическую архитектуру систем с Общей Шиной, в

частности на системы с глобальной памятью.

Применение разрабатываемой МВС возможно как для проведения научных исследований,

решения научно-технических задач, отличающихся большой трудоемкостью и

сложностью вычислений так и для задействования данной МВС в контуре управления

объектами систем реального времени (СРВ).

Увеличение скорости обработки информации достигается за счет одновременного

использования нескольких процессорных модулей, то есть распараллеливания

процесса вычислений. При этом подразумевается обмен информацией между

процессорами через глобальную память с использованием системы прерываний.

1 Разработка архитектуры, функционирование МВС

Разработка архитектуры МВС

Проектируемая МВС строится из отдельных процессорных модулей, обмен информации

между процессорами основан на применении системы прерываний; доступ отдельных

процессоров к общему ресурсу (системной магистрали) управляется централизованным

арбитром доступа с абсолютным географическим приоритетом процессорных модулей,

что предполагает сосредоточение всех необходимых цепей управления в данном

устройстве; обработка ввода/вывода информацией через внешние устройства

осуществляется через централизованный контроллер прерываний, путем обработки

выставляемого внешними устройствами вектора прерывания, который представляет

собой адрес подпрограммы обработки данного события.

На функциональном уровне основные характеристики проектируемой МВС, а именно:

G – характеристика, описывающая коммутацию компонент системы, (grod)

M – характеристика, описывающая организацию памяти системы, (memory)

показаны с использованием графического языка описания вычислительных систем

MSBI(Master Slave Bus Interface), результат представлен на Рис. 1.1.

В состав процессорного модуля входят локальная память размером 1М, процессорный

элемент, блок контроля, коммутатор, внутренний автомат арбитра доступа к ОР.

МВС содержит 8 процессорных модулей и 1 системную магистраль, к которой

подключен банк глобальной памяти, емкостью 12 М.

Каждый процессорный элемент модет обращаться как к собственному банку локальной

памяти, так и к общему банку глобальной памяти. Очевидно, что глобальная память

является в описываемой МВС общим ресурсом, то есть при одновременной попытке

обращения нескольких процессорных элементов к ГП может возникнуть конфликт

доступа к общему ресурсу (так называемые критические участки). Для решения

данной проблемы на аппаратном уровне в проектируемой МВС предусмотрено

применение централизованого арбитра доступа к СМ, с абсолютным географическим

приоритетом процессорных модулей, что однозначно решает проблему надежного

функционирования МВС в критических участках. Подробное описание механизма

взаимодействия процессорного элемента и арбитра доступа к ОР приведено в Разделе

2. Разаработка аппаратных средств.

Наряду с подключение банка глобальной памяти к СМ, предусмотрено подключение 24

устройств Ввода/Вывода к СМ, основное назначение которых – производить обмен

информацией между процессорными модулями и пользователями данной ВС.

Обмен информацией иницируется либо Внешним Устройством через централизованный

контроллер прерываний, при этом необходимо отметить, что каждый ПЭ может

получить доступ для обмена с ВУ с помощью механизма прерываний либо обмен

информацией инициируется процессорным элементом, при этом процессор в

программном режиме может обратиться к любому ВУ, подключенному к СМ. Как

достоинство такого решения следует отметить расширение возможностей

процессорного элемента по передаче данных, как недостаток – это увеличение

времени доступа к ВУ, так как требуется дополнительное время на арбитраж доступа

к СМ.

Функционирование МВС

МВС функционирует под управлением многозадачной ОС, построенной по принципу

Ведущий-Ведомый (Master-Slave). При этом одиниз процессоров системы определяется

как ведущий, а остальные – как ведомые. Ведущий процессор согласует работу и

взаимодействие ведомых процессоров.

Ядро ОС храниться в глобальной памяти, поэтому в случае выхода из строя ведущего

процессора либо при необходимости организации на данном процессоре решения

автономной (самостоятельной) задачи, его функции может взять на себя любой

другой процессорный элемент системы, загрузив в свою локальную память часть

основного кода из ядра ОС.

Синхронизация обмена информацией и взаимодействие задач на программном уровне

производиться с помощью механизма мониторов и семафоров, при этом

предполагается, что все данные, с которыми работает процессор в данной задаче

должны быть перенесены из глобальной памяти в локальную память данного

процессора с целью уменьшения времени доступа к ним.

2 Разработка аппаратных средств

МВС выполняется из отдельных процессорных модулей, подключенных к СМ. К СМ

подключен также банк глобальной памяти и ВУ Ввода/Вывода.

Младшие 1М адресного пространства каждого процесора выделяются под локальную

память. Старшие 12М выделяются под глобальную память и являются общими для всех

процессоров. В связи с этим возможно возникновение конфликта доступа к общему

ресурсу. Для решения данной проблемы применяется схема централизованного арбитра

доступа к общему ресурсу. В частности в каждый процессорный модуль входит схема

блока коммутации адресов, которая предназначена для определения адреса,

выставляемого ПЭ (см ИАЛЦ 462631 001.Э2 МВС. Схема электрическая

функциональная). Если в регистр адреса ПЭ поступает адрес, то блок коммутации

анализирует 4 старших разряда адреса. Если хотя бы в одном разряде присутствует

1, то очевидно, что обращение идет к банку глобальной памяти.

В таком случае вырабатывается сигнал ТПДП – требование прямого доступа к

глобальной памяти, который через интерфейс арбитра (внутренний автомат)

поступает на Централизованный Арбитр Доступа (ЦАД), как сигнал ТШ (требование

шины). Если шина свободна, то ЦАД вырабатывает сигнал РШ (разрешение шины),

который преобразуется интерфейсом арбитра в ППДП и процессор подключается к

глобальной шине для операций Чтения/Записи.

Контроль работы процессорного модуля осуществляется блоком контроля (БК).

Реализован метод контроля с аппаратным сравнением эталонов. Функциональная схема

блока контроля со схемой сравнения кодов представлена на рис.2.2.

Хочется отметить ту особенность, что в данной схеме скорректирован недостаток

простейшего блока контроля, работающего по методу сравнения контрольных и

эталонных слов – снижение бысродействия за счет большого распада команд, но за

счет усложнения аппаратуры.

При выходе ПМ из строя, на выходе блока контроля формируется сигнал ошибки,

который представляет собой 8-битовую последовательность, каждый бит которой

несет информацию о текущем состоянии соответствующего ПМ (0-ПМ в рабочем

состоянии, 1-ПМ вышел из строя) и выставляет его на СМ каждый раз по

срабатыванию таймера ПМ. Блок Выбора Мастера(БВМ) каждый раз анализирует

вышеописанный сигнал ошибки, и в случае обнаружения отказа ПМ-Мастера назначает

Мастером любой другой работоспособый ПМ, о чем объявляет выставлением на БК ПМ

сигнала НМ(номер мастера).

3 Разработка программного обеспечения

3.1 Общие принципы построения ОС

Для проектируемой МВС в качестве основной выбрана ОС, построенная по принципу

Ведущий-Ведомый(Master-Slave), поэтому все процессоры системы делятся на две

категории:

1.Главный процессор – Ведущий (Master)

2.Вспомогательный процессор – Ведомый (Slave)

Главный процессор имеет статус выше, чем у всех остальных ПМ МВС. Поэтому

выполнение управляющих фуекций ОС МВС осуществляется на главном процессоре.

После запуска системы, вспомогательные процессоры обращаются к главному за

получением работы, а также за предоставлением ОС МВС программного интерфейса.

Все сервисные программы ОС должны иметь возможность быть выполненными на любом

процессоре, входящем в МВС. На главном процессоре осуществляется планирование

процессов во времени, а также распределение их по ресурсам (процессорам), т.е. в

пространстве.

Основным достоинством данного метода является относительная простота. Данную ОС

можно получить сравнительно несложным расширением возможностей многозадачных ОС,

используемых в однопроцессорных системах. Добавляются новые возможности,

связанные с одновременным выполнением задач. Как достоинство можно отметить

также и простоту управления ресурсами, поскольку все функции, связанные с

управлением решаются в одном узле.

Рассморим недостатки данного типа ОС. Главной проблемой функционирования таких

систем является их относительно низкая надежность. А именно, поскольку

управление системой осуществляется одним процессорным модулем(Мастером), то

выход его из строя может привести к приостановке работы всей системы.

Вторым важным недостатком является низкая эффективность управления ресурсами,

поскольку один Ведущий процессор не может обеспечить высокую загрузку множества

Подчиненных процессоров.

Для устранения первого недостатка, т.е. повышения надежности системы, в

разрабатываемой МВС предусмотрена возможность отслеживания подчиненными

процессорами работоспособности главного процессора: в случае выхода его из

строя, о чем говорит сигнал Error на СМ блок выбора мастера производит

принудительное назначение первого попавшегося Подчиненного процессора на роль

Ведущего процессора системы, который при этом производит загрузку в свою

локальную память копию ядра ОС из ПЗУ глобальной памяти. Подробное описание

данной процедуры приведено в подразделе 3.2 Примеры алгоритмов программ.

Устранения второго недостатка, т.е. повышения эффективности управления

ресурсами, связано с возможностью назначения более одного процессора на роль

Ведущего: в этом случае можно снять нагрузку по распараллеливанию заданий на

процессоры с одного процессора на несколько, но в проектируемой МВС данный метод

не применяется ввиду возникающего при этом усложнения аппаратной реализации МВС.

3.2 Примеры алгоритмов программ

Для детального ознакомления с основными принципами функционирования

проектируемой МВС в качестве наглядных примеров предлагается к рассмотрению

следующие алгоритмы:

4 Разработка принципиальной схемы

Для разработки принципиальной схемы проектируемой МВС был задан централизованный

арбитр доступа к ОР с абсолютным географическим приоритетом ПМ.

4.1 Централизованный арбитр доступа к ОР

Параметры арбитра:

Тип арбитра – централизованный

Приоритет ПМ – абсолютный географический

Автомат – синхронный

Заключение

В данном курсовом проекте была разработана Многопроцессорная Вычислительная

Система с 8 ПМ, централизованным арбитром доступа к общему ресурсу с абсолютным

географическим приоритетом ПМ, с централизованным контроллером приоротетных

прерываний для обслуживания ВУ и организации взаимодействия между ПМ-Ведущим и

ПМ-Подчиненным (при помощи системы прерываний).

Результаты разработок предоставлены в виде схемы электрической функциональной

ИАЛЦ 462631005.Э2, схемы электрической принципиальной ИАЛЦ 462631001.Э2

Централизованного Арбитра Доступа к ОР.

В ходе проведения проектирования МВС были произведены расчеты :

общий расчет надежности системы (результат – время наработки на отказ составит

14 409 часов)

расчет потребляемой мощности

расчет производительности МВС.

Были разработаны и описаны алгоритмы отражающие:

взаимодействие процессоров между собой на примере операции обмена данными;

процесс реконфигурации системы.

Был разработан и оформлен полный комплект технической документации, отражающий

функциональные особенности разработанной МВС и предоставляющий подробное

описание функционирования как МВС в целом, так и отдельно рассмотренных ее

модулей.