Министерство образования Российской Федерации



### Кафедра: «Электронные приборы и устройства»

# Курсовая работа

«ПК на основе процессора INTEL 80286»

## Выполнил: ст-т гр. ЭПУ - 42

#### Козачук Виталий Михайлович

Проверил: доц. Каф ЭПУ

Джумалиев Владимир Сергеевич

Саратов 2001 г.

СОДЕРЖАНИЕ

ВВЕДЕНИЕ 2

КОРПУСА ПРОЦЕССОРОВ 3

ФУНКЦИОНИРОВАНИЕ МИКРОКОМПЬЮТЕРОВ С ШИННОЙ ОРГАНИЗАЦИЕЙ 3

ОРГАНИЗАЦИЯ СИСТЕМЫ ШИН L,X,S и M В КОМПЬЮТЕРЕ PC/AT 4

РЕГИСТРЫ ПРОЦЕССОРА 80286 4

Память 6

FPM 7

ЕDO 7

BEDO 7

Вспомогательные микросхемы для СМПУ 8

Тактовый генератор 8

Контролер прерываний 8

Контролер прямого доступа к памяти 8

Другие вспомогательные микросхемы 9

Набор микросхем или chipset 9

Системные локальные шины 9

Шина ISA 9

Шина EISA 10

Локальные шины (VLB и PCI) 10

Стандарт PC MCIA 11

Микропроцессор 12

Режим реальной адресации 12

Режим защиты 12

Производительность системы 13

Системные прерывания 13

Сопроцессор. 14

Описание 14

Условия программирования 14

Условия аппаратного обеспечения 14

Базовая система ввода-вывода (BIOS) 15

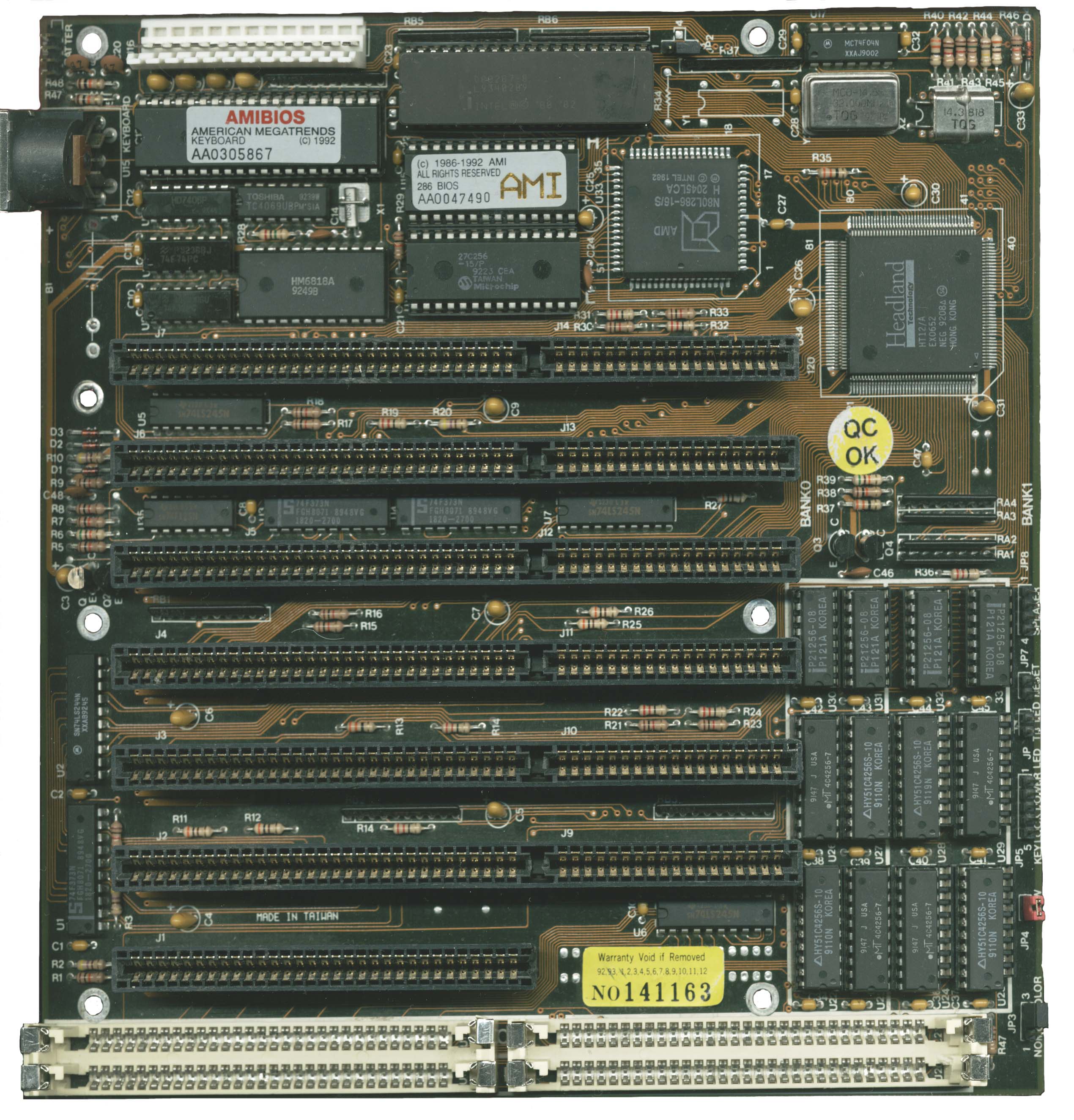
Использование BIOS 15

Передача параметров 15

Список использованной литературы 16

ВВЕДЕНИЕ

Успехи новой технологии привели к широкому распространению персональных компьютеров, позволяющих решать задачи, требующие весьма больших вычислений. Типичным и наиболее распространенным представителем таких мощных "персоналок" является компьютер PC/AT производства фирмы IBM. Этот компьютер разработан на основе процессора 80286 фирмы INTEL, представляющего сейчас один из наиболее мощных шестнадцатиразрядных микропроцессоров, хотя за последнее время появились более производительные процессоры, и 80286 был снят с производства в ведущих странах. Но стоит остановиться на рассмотрении этого процессора и построенных на его основе системах, т.к. на их примере нагляднее всего получить представление о новом классе машин - серии AT.



В данной работе рассмотрены основные данные и сравнительные характеристики на примере самой ранней модели компьютера- на отдельных логических ИМС и некоторых БИС, без применения микросхем сверхвысокой степени интеграции и специальных ПЛИС и ПЛМ, на основе которых создаются компьютеры сегодня. Рассматривается центральный процессор с самой низкой тактовой частотой для 80286 чипов- 6 Мгц.

# КОРПУСА ПРОЦЕССОРОВ

**DIP**-Dual in line Package корпус с двухрядным расположением штырьковых выводов (шаг 2.5мм);

**PGA** – pin Grid Array, керамический корпус с матрицей штырьковых выводов;

**PQFP** – Plastic Quad Flat Pack, пластиковый корпус с выводами по сторонам квадрата;

**SQFP** – Small Quad Flat Pack, миниатюрный корпус с выводами по сторонам квадрата;

**PPGA** – Plastic Pin Grid Array, термоустойчивый пластмассовый корпус SPGA;

**Tape Garier** – миниатюрный корпус с ленточным носителем

**PGA, PPGA, SPGA** обычно устанавливаются в ZIF-Socket (Zero ilnsestion Force) – колодка   
 (сокет) с нулевым усилением установки.

# ФУНКЦИОНИРОВАНИЕ МИКРОКОМПЬЮТЕРОВ

**С ШИННОЙ ОРГАНИЗАЦИЕЙ**

Шины микрокомпьютера образует группа линий передачи сигналов с адресной информацией, данных, а также управляющих сигналов. Фактически ее можно разделить на три части: адресную шину, шину данных и шину управляющих сигналов.

Уровни этих сигналов в данный момент времени определяют

состояние системы в этот момент.

На рис. 1 изображены синхрогенератор 82284, микропроцессор 80286 и шинный контроллер 82288. Кроме того, показаны три шины: адреса, данных и управляющих сигналов.

Синхрогенератор генерирует тактовый сигнал CLK для синхронизации внутреннего функционирования процессора и других микросхем. Сигнал RESET производит сброс процессора в начальное состояние. Это состояние показано на рисунке упрощенно. Сигнал –READY также формируется с помощью синхрогенератора. Он предназначен для удлинения циклов при работе с медленными периферийными устройствами.

На адресную шину, состоящую из 24 линий, микропроцессор выставляет адрес байта или слова, который будет пересылаться по шине данных в процессор или из него. Кроме того, шина адреса используется микропроцессором для указания адресов периферийных портов, с которыми производится обмен данными.

Шина данных состоит из 16 линий. по которым возможна передача как отдельных байтов. так и двухбайтовых слов. При пересылке байтов возможна передача и по старшим 8 линиям, и по младшим. Шина данных двунаправлена, так как передача байтов и слов может производится как в микропроцессор, так и из него.

Шина управления формируется сигналами, поступающими непосредственно от микропроцессора, сигналами от шинного контроллера, а также сигналами, идущими к микропроцессору от других микросхем и периферийных адаптеров.

Микропроцессор использует шинный контроллер для формирования управляющих сигналов, определяющих перенос данных по шине. Он выставляет три сигнала -SO, -SI, M/-IO, которые определяют тип цикла шины (подтверждение прерывания, чтение порта ввода/вывода, останов, чтение памяти, запись в память). На основании значений этих сигналов шинный контроллер формирует управляющие сигналы, контролирующие динамику данного типа шины.

Для того, чтобы понять динамику работы, разберем, каким образом осуществляется процессором чтение слов из оперативной памяти. Это происходит в течение 4 тактов CLK, или 2 состояний процессора (т.е. каждое состояние процессора длится 2 такта синхросигнала CLK). Во время первого состояния, обозначаемого, как Т 4s 0, процессор выставляет на адресную шину значение адреса, по которому будет читаться слово. Кроме того, он формирует на шине совместно с шинным контроллером соответствующие значения управляющих сигналов. Эти сигналы и адрес обрабатываются схемой управления памятью, в результате чего, начиная с середины второго состояния процессора Т 4c 0 (т.е. в начале четвертого такта CLK), на шине данных появляется значение содержимого соответствующего слова из оперативной памяти. И наконец, процессор считывает значение этого слова с шины данных. На этом перенос (копирование) значения слова из памяти в процессор заканчивается.

Таким образом, если частота кварцевого генератора, определяющая частоту CLK, равна 20 МГц, то максимальная пропускная способность шины данных равна (20/4) миллионов слов в секунду, или 10 В/сек. Реальная пропускная способность существенно ниже.

**ОРГАНИЗАЦИЯ СИСТЕМЫ ШИН L,X,S и M**

**В КОМПЬЮТЕРЕ PC/AT**

На самом деле, в реальном компьютере имеется не одна, а несколько шин (рис. 2). Основных шин всего три, а обозначаются они как L- шина, S- шина, X- шина. Нами ране рассматривалась L-шина. Можно ввести понятие удаленности шины от процессора, считая, что чем больше буферов отделяют шину, тем она более удалена от процессора.

Основной шиной, связывающей компьютер в единое целое, является S- шина. Именно она выведена на 8 специальных разъемов слотов. Эти слоты хорошо видны на системной плате компьютера. В них стоят платы периферийных адаптеров.

Линии адреса, идущие от микропроцессора, образуют так называемую L- шину. Для передачи этого адреса на S- шину имеются специальные буферные регистры- защелки. Эти регистры- защелки не только передают адрес с L- шины на S- шину, но так же разъединяют их в случае необходимости. Такая необходимость возникает, например, когда осуществляется прямой доступ к памяти. В этом случае на S- шину выставляют контроллер прямого доступа 8237А и так называемые страничные регистры. Они подключены к X- шине, которая так же через буферные регистры соединена с системной S−шиной. Таким образом, наличие трех шин позволяет выставлять адреса на системную шину различным микросхемам.

Все микросхемы на системной плате, кроме процессора и сопроцессора, подключены к X- шине, в которой имеется адресная часть (XА- шина), линия данных (XD- шина) и управляющие сигналы (XCTRL- шина). Поэтому они отделены от процессора двумя буферами: между L- и S- шинами и между S- и X- шинами.

Кроме этих трех шин в компьютере имеется M- шина, предназначенная для отделения системной S- шины от оперативной памяти.

# РЕГИСТРЫ ПРОЦЕССОРА 80286

Набор регистров процессора 80286 представляет собой строгое расширение набора регистров 8086, который имел 14 регистров. В процессоре 80286 появились дополнительно еще 5 новых регистров, в результате чего их общее число увеличилось до 19.

Далее рассматриваются так называемые "видимые" регистры, содержимое которых можно либо прочитать, либо изменить программным способом. Отметим, что в процессоре имеются "невидимые регистры", хранящие различную информацию для работы процессора и ускоряющие его работу. Регистры представлены на рисунке ("невидимые" изображены одинарной линией).

|  |  |  |
| --- | --- | --- |
| AX | AH | AL |
| BX | BH | BL |
| CX | CH | CL |
| DX | DH | DL |

|  |
| --- |
| SP |
| BP |
| SI |
| DI |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Права доступа к сегменту CS | Базовый адрес сегмента CS | Размер сегмента CS |  | CS |
| Права доступа к сегменту DS | Базовый адрес сегмента DS | Размер сегмента DS | DS |
| Права доступа к сегменту SS | Базовый адрес сегмента SS | Размер сегмента SS | SS |
| Права доступа к сегменту ES | Базовый адрес сегмента ES | Размер сегмента ES | ES |

|  |
| --- |
| IP |

|  |
| --- |
| F |

|  |
| --- |
| MSW |

|  |  |
| --- | --- |
| Базовый адрес таблицы | GDTR |

|  |  |
| --- | --- |
| Базовый адрес таблицы | IDTR |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Права доступа | Базовый адрес сегмента с локальной дескрипторной таблицей | Размер сегмента с локальной таблицей |  | LDTR |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Права доступа | Базовый адрес сегмента состояния текущей задачи | Размер сегмента с состоянием задачи |  | TR |

Регистры можно объединить в группы по схожести выполняемых ими функций. В первую группу, называемую группой регистров общего назначения, входят регистры AX, BX, CX, DX. Они предназначены в основном для хранения данных- шестнадцати битных слов. Только регистры BX и DX могут дополнительно использоваться как адресные: регистр BX- как адрес смещения байта или слова в оперативной памяти, регистр DX- как адрес порта ввода/вывода. При обработке данных каждый из этих регистров имеет свои особенности. Например, регистр AX всегда используется как один из операндов в команде умножения, регистр CX используется как счетчик командой LOOP организации цикла, DX как расширение регистра AX в командах умножения и деления. Эти регистры можно рассматривать как состоящие из двух однобайтовых регистров каждый: AX состоит из AH и

AL, BX- из BH и BL и т.д.

Следующую группу образуют регистры SP, BP, SI, DI. Эта группа называется группой адресных и индексных регистров. Из названия видно, что эти регистры могут использоваться в качестве адресных. Кроме того, их можно использовать в качестве операндов в инструкциях обработки данных.

Третья группа регистров CS, DS, SS, ES образует группу сегментных регистров. В процессоре 80286 доступ к данным и коду программы осуществляется через "окна" размером максимум 64К каждое. Есть окно с программой, его начало определяется регистром CS; есть окно с данными, начало которого определяется регистром DS. Начало окна со стеком определяется регистром SS, а дополнительного окна с данными- регистром ES.

В процессоре 80286 появилась возможность размещать таблицу векторов прерываний в произвольном месте оперативной памяти, а не обязательно в самом начале, как в процессоре 8086. Для этого имеется специальный регистр IDTR, по структуре аналогичный специальному сорока битному регистру GDTR (определяющий положение и размер глобальной дескрипторной таблицы, для определения же локальной дескрипторной таблицы имеется шестнадцати битный регистр LDTR). Он определяет начало и размер таблицы векторов прерываний. Имеются так же специальные команды его чтения и записи.

Регистр IP служит для хранения адреса смещения следующей исполняемой команды, а регистр F- для хранения флагов.

В процессоре 80286 появился новый регистр MSW, называемый словом состояния, или регистром состояния. Его значение прежде всего в том, что, загружая этот регистр состояния специальным значением (с битом PE=1), мы тем самым переключаем режим работы с обычного на защищенный.

И наконец, последний девятнадцатый регистр TR служит для организации многозадачной работы процессора в защищенном режиме. В обычном режиме он просто недоступен. Этот регистр служит селектором сегмента состояния задачи. Существуют выполняемые только в защищенном режиме команды чтения этого регистра TR и записи в него.

Таким образом, а процессоре 80286 при сравнении его с 8086 появилось пять новых "видимых" регистров и шесть "невидимых", четыре из которых связаны с регистрами CS, DS, SS, ES. Все новые регистры служат для управления доступом к памяти и организации многозадачной работы процессора.

# Память

В отличие от недавно появившихся типов памяти, работа ИС асинхронной памяти не привязана жестко к тактовым импульсам системной шины. Поэтому данные на этой шине появляются в произвольные моменты времени (асинхронно). Но поскольку контроллер памяти (и системной шины) - устройство синхронное, то отсчет времени ведется в тактах. И если данные появятся на выходах ИС даже сразу после тактового импульса, они будут обработаны только с приходом следующего импульса. Это ограничивает возможности асинхронных ИС. Самым первым способом обмена данными с ОЗУ был так называемый *Conventional* с рабочей частотой от 4,77 до 40 МГц. Он позволял считывать и записывать информацию в строку только на каждый пятый такт (по механизму, описанному ранее). Поэтому из-за своей медлительности он вскоре был заменен более прогрессивными типами. Для Conventional общее число тактов, затрачиваемых на пересылку 4 строк данных, равно 20 (5 тактов для доступа по первому адресу – 5 по второму – 5 по третьему – 5 по четвертому).

# FPM

Это самый ранний тип памяти, применявшийся во всех 286-386 компьютерах. В нем реализован режим постраничной адресации (fast page mode). Этот режим основан на том, что после выбора строки в ядре передача данных на выход и с выхода выполняется просто подключением к входным/выходным формирователям данных нужного "столбца" (столбцов, если понимать под столбцом один разряд в матрице ядра). Следовательно, при повторных обращениях к *одной и той же строке ядра* не нужно подавать адрес строки, дешифрировать его, считывать строку. В FPM повышение скорости обмена данными достигается благодаря передаче полного адреса (строки и столбца) только при первом обращении к памяти. При остальных обращениях в пределах той же строки указывается лишь сокращенный адрес (только столбцы). В результате потери времени сокращаются на два такта, ранее нужные для передачи адреса каждой строки (нет тактов для передачи собственно адреса строки и активизации сигнала RAS). Схема чтения FPM теперь другая - 5–3–3–3, даже на частоте 66 МГц. По сравнению с Conventional (20 тактов) это дает увеличение производительности на целых 70%. Однако если программа часто обращается к разным областям памяти, переходя на другую строку ядра, то формируется полный адрес, что сводит преимущества метода на нет. К счастью, на практике часто происходит обмен достаточно крупными сплошными массивами данных (например, многие команды процессора кодируются несколькими байтами). Возможно, именно поэтому метод был положен в основу всех последующих технологий, однако нужно все же не забывать, что все их преимущества также проявляются только в пределах одной страницы (строки ядра).

**EDO**

Архитектура EDO (extended data output) характеризуется увеличенным по сравнению с FPM временем хранения данных на выходе микросхемы. Дело в том, что в обычных ИС FPM выходные данные остаются действительными только при активном сигнале CAS (рис. 2б). Из-за этого при втором и последующих доступах к странице требуется три такта: такт переключения CAS в активное состояние, такт считывания данных и такт переключения CAS в неактивное состояние. В ИС EDO данные запоминаются во внутреннем регистре по активному (спадающему) фронту сигнала CAS и сохраняются еще некоторое время после появления следующего активного фронта. Это позволяет нормально использовать данные, когда CAS переведен в неактивное состояние. При этом схема чтения у EDO уже 5–2–2–2 (11), что на 20% быстрее FPM (14), и нормальная работа возможна даже при тактовой частоте контроллера памяти (и системной шины) 75 МГц. Память EDO до сих пор верой и правдой служит во всех компьютерах с частотой процессора до 166 МГц (и с системными платами на чипсетах до Intel 430 FX), а также во многих видеоускорителях трехмерной графики. EDO также используется в тех случаях, когда мощный контроллер памяти сам оптимизирует организацию банков памяти и их чередование при многобанковой структуре ОЗУ, характерной для некоторых серверов. Несмотря на появление других типов, этот тип ИС еще долго не уйдет со сцены - это подтверждается и тем, что ведущие производители чипов ОЗУ начали выпуск модулей со 128 Мб.

**BEDO (burst EDO - EDO с пакетной пересылкой данных)**

Архитектура BEDO была разработана в компании VIA Technologies - известном производителе чипсетов для материнских плат. В ней наряду с технологиями FPM и EDO используется пересылка данных пакетами (burst). Новизна такого метода в том, что при первом обращении данные автоматически считываются сразу же для нескольких последовательных слов (ведь ядро устроено так, что всегда считывается целая строка, то есть все столбцы становятся известны). При этом для пересылки burst-пакета задаются адрес строки и адрес только самого первого "столбца", а внутренний счетчик автоматически следит за тем, чтобы был передан весь пакет. Это исключает необходимость пересылать адреса для последующих ячеек. Таким образом, благодаря burst-технологии увеличивается эффективность последовательного чтения больших массивов данных. Новый способ пересылки сокращает время считывания каждого слова еще на такт, что позволяет BEDO работать по схеме 5–1–1–1 (всего 8 тактов). Однако для этого необходима поддержка со стороны набора системной логики. В число таких наборов входят Intel 430 HX, VIA 580VP, 590VP. Максимальная паспортная рабочая частота BEDO - 66 МГц, хотя ИС хорошо функционируют на частоте вплоть до 83 МГц. BEDO еще не успела широко распространиться, как была вытеснена SDRAM, разработанной приблизительно в то же время Intel. Завершая рассмотрение асинхронных типов ИС, отметим, что их быстродействие принято характеризовать временем цикла обращения, то есть минимальным периодом, с которым можно выполнить циклическое обращение по произвольным адресам (все пять операций). Именно это имеется в виду, когда говорят о "60-наносекундном модуле". При переходе к синхронной памяти (использующей для работы внешнюю тактовую частоту) вместо продолжительности цикла доступа стали применять минимально допустимый период тактовой частоты. Так появились "10-нс модули памяти", "8-нс" и даже "7-нс". Увы, за один такт добраться к произвольным данным не могут и они.

Вспомогательные микросхемы для СМПУ.

Тактовый генератор

Для получения стабильной определенной частоты на системной плате могут находиться 1 или 2 кварцевых асоцилятора. Повышать частоту тактовых импульсов можно лишь до определенного предела, фиксированного для каждой модели микропроцессора. Для многих микропроцессоров существует и нижний уровень ограничения на тактовую частоту.

Дело в том, что отдельные узлы микропроцессора могут быть построены по принципу динамической памяти, и требовать постоянной регенерации. Выходной сигнал основного кварцевого генератора предварительно делится на 2 и обозначается как *CLK2IN*. Тактовый сигнал для шины ISA обычно равен 8 МГц. Он обычно обозначается как *ATCLK* или *BBVSCLK*. При переключении кнопки *Turbo* тот или иной тактовый сигнал подключается к соответствующему входу микропроцессора. Системная шина может тактироваться либо сигналом *CLK2IN*, либо *CLK2IN/2*, либо *ATCLK*. Для каналов *DMA* на системной плате используется еще один сигнал *SCLK* зависящий от *CLK2IN* и от *ATCLK*. Для часов реального времени на системной плате используется отдельный кварц 32768 Кбит.

Контроллер прерываний

В первых IBM PC использовалась микросхема *Intel 8259 (I8259)* имеющая 8 входов для сигналов прерываний. Контроллер программируется на установление приоритетов прерываний, наивысшим приоритетом обладает линии *IRQ0*, наименьшим *IRQ7*. Значит в *IBM PC/AT* количество линий прерываний увеличено до 15 путем каскадного включения двух микросхем *I8259* при котором выход второго контроллера подключался к входу *IRQ2* первого. Таким образом, линии *IRQ8-IRQ15* имеют приоритет ниже, чем *IRQ1*, но выше чем *IRQ3*.

Контроллер прямого доступа к памяти

В *IBM PC/XT* для организации прямого доступа к памяти использовалась одна 4 контактная микросхема *I8237*. Канал 0 которой предназначен для регенерации динамической памяти. Каналы 2 и 3 предназначены для управления высокоскоростной передачей данных между дисководов системных дисков винчестеров и операционной памятью. Только канал 1 *DMA* был доступен для дополнительного оборудования. *IBM PC/AT* имеет уже 7 каналов прямого доступа к памяти. В первых компьютерах это достигалось каскадным включением двух микросхем *I8237*. Так как прямой обмен данными между операционной памятью и периферийными устройствами имеет существенное ограничение, в том числе и по скорости то *PC/AT* задействован только канал 2 для обмена с приводом гибкого диска. Для первых 4 каналов с 0 по 3 передача данных осуществляется побайтно. Для каналов 5-7 16 разрядными словами.

Другие вспомогательные микросхемы

Таймеры, реализованные ранее на микросхеме *I8254* и часы реального времени *MC146818A*. В зависимости от типа процессора на системной плате могут располагаться контроллеры шины и памяти, системный и периферийный контроллеры, кэш контроллер, а также буфера для данных и адресов.

Набор микросхем или chipset

Современный PC уже не использует отдельные чипы контроллеров 8259 и 8237. Их функции реализованы в СБИС системных и периферийных контроллеров. На системных платах вместо большого количества микросхем средней степени интеграции *MSI* заменено на несколько от 1 до 4 СБИС (*VLSI*). Такие *VLSI* называют набором микросхем или chipset. Они занимают меньше места, потребляют меньший ток, имеют более высокую надежность. Например, набор *Triton (8243 0FX)* фирмы Intel поддерживает специализацию локальной шины *PCI*, синхронную (конвейерную) и асинхронную кэш память, а также *EDO* и *FPMDRAM*. Он имеет также встроенный контроллер *Enhanced IDE* устройств. В большинство наборов разных фирм тем или иным образом входит периферийный контроллер, например микросхема *82С206* или ей подобная, функционально содержащая 2 контроллера прерываний типа 8259, 2 контроллера прямого доступа к памяти типа 8237, таймер типа 8254, часы реального времени и более 100 байт *CMOS RAM* для хранения системной конфигурации.

Системные локальные шины

Передачей информации по шине управляет одно из подключенных к ней устройств или специально выделенный для этого узел называемый арбитром шины. Системная шина *IBM PC* и *PC/XT* была предназначена для одновременной передачи только 8 бит информации, она имела 20 адресных линий (адресное пространство 1Мбайт), для работы с внешними устройствами в этой шине имелись 4 линии адресных прерываний и 4 линии запросов прямого доступа к памяти. Для подключений плат расширения использовались 62 контактные разъемы. Системной шиной микропроцессор синхронизировался от одного тактового генератора с частотой 4,77МГц. Теоретическая скорость передачи могла достигать 4,5Мбайт в секунду.

Шина ISA

Шина *ISA* разрабатывалась для возможностей микропроцессора Intel 286. Она имела 36 контактный разъем для платы расширения, 16 линий данных и 24 адресных линии. Поэтому имелась возможность обращаться на прямую к 16 Мбайтам памяти. Линий аппаратных прерываний 15, каналов *DMA 7*. Она полностью включала в себя возможности 8 разрядной шины. Системные платы с шиной *ISA* допускали возможность синхронизации работы самой шины и микропроцессора разными тактовыми частотами, что позволяло устройствам на платах расширения работать медленнее, чем микропроцессор. Это стало актуальным, когда тактовая частота микропроцессора превысила 10-12 МГц. Шина стала работать асинхронно с процессором на частоте 8 МГц. Теоретическая максимальная скорость передачи 16 Мбайт в секунду.

Шина ESA

Эта шина разрабатывалась для микропроцессора 386 и должна была обеспечить 32 разрядную передачу данных в том числе и в режиме прямого доступа к памяти, наибольший возможный объем адресуемой памяти, улучшение системы прерываний и арбитраж прямого доступа к памяти, автоматическую конфигурацию системы и плат расширения. В *ESA* разъем на системной плате может вставляться кроме специальных *ESA* плат 8 либо 16 разрядные платы расширения. Это обеспечивается, что *ESA* разъемы имеют 2 ряда контактов, один из которых верхний исполняет сигналы шины *ISA*, нижний *ESA*. Контакты в соединителях *ESA* расположены, так что рядом с каждым сигнальным находится контакт земля. Благодаря этому к минимальному сведены вероятности генерации помех и восприимчивость к помехам. Шина *ESA* позволяет адресовать 4Гбайтное адресное пространство. Доступ, к которому может иметь не только центральный процессор, но и платы управляющих устройств типа Bus master, т.е. устройства способные управлять передачей данных по шине, а также устройства имеющие возможность организовать режим прямого доступа к памяти.   
Стандарт *ESA* поддерживает многопроцессорную архитектуру для интеллектуальных плат с собственными микропроцессорами. Поэтому данные, например, от контроллера жестких дисков, графических контроллеров, контроллеров сети могут обрабатываться независимо без загрузки главного процессора. Теоретическая максимальная скорость передачи в пакетном режиме может достичь 33 Мбайт в секунду, в стандартном не превосходит значения шины *ESA*. На *ESA* предусматривается централизованный метод управления через системный арбитр. Таким образом, поддерживается использование ведущих устройств на шине. Однако возможно также представление шины запрашивающим устройствам по циклическому принципу. В *ESA* имеется 7 каналов прямого доступа к памяти. Контроллер прямого доступа к памяти имеет возможность поддерживать 8, 16 и 32 разрядные режимы передачи данных. В общем случае возможно выполнение 1 из 4 циклов обмена между устройством прямого доступа к памяти и памятью системы. Это *ISA* совместимые циклы, использующие для передачи данных 8 контактов шины, циклы типа A исполняемые за 6 тактов шины, циклы типа B исполняемые за 4 такта шины и циклы типа C исполняемые за 1 такт шины. Типы A,B и C поддерживаются 8, 16 и 32 разрядными устройствами, причем возможно автоматическое изменение ширины данных при передаче в несоответствующие размеры памяти. Приоритет прямого доступа к памяти может быть либо переменным, либо фиксированным. Линии прерывания шины *ISA*, по которым запросы передаются в виде фронтов сигналов, сильно подвержены импульсным помехам. Поэтому в системе *ESA* кроме таких, предусматривается также сигнал прерываний активный по уровню. Для компьютеров с шиной *ESA* предусмотрена автоматически конфигурированная система, поэтому обычно с платами расширения изготовители поставляют специальные файлы конфигурации. Информация, из которых исполняется на этапе подготовки системы к работе. В архитектуре *ESA* предусматривается выделение определенных групп адресов ввода вывода для конкретных слотов шины, каждому разъему отводят 4 Кбайта адресного диапазона.

Локальные шины

Разработчики компьютеров на микросхемах 386, 486 начали использовать раздельные шины для памяти и устройств ввода вывода, что позволило работать с памятью с наивысшей для нее скоростью, тем не менее, при таком подходе вся система не обеспечивает достаточной производительности, т.к. устройства подключенные через разъемы расширения не могут достичь скорости обмена сравнимой с частотой микропроцессора. В основном это касается работы с контроллерами накопителей и аидеоодаптеров. Для решения данной проблемы стали использоваться локальные шины, связывающие процессор с контроллерами периферии. В настоящее время используются локальные шины *VLB* и *PCI*, обе шины позволяют периферийным устройствам работать с тактовой частотой до 32 МГц. Шины *PCI* относятся к классу пристроек т.к. между локальной шиной процессора и самой *PCI* находиться специальная микросхема согласующего моста. Спецификация шин *PCI* позволяет использовать ее вне зависимости от типа процессора. Специальный контроллер обеспечивает разделение управляющих сигналов локальной шиной микропроцессора и *PCI* шиной и, кроме того, осуществляет арбитраж на *PCI*. К шине могут подключаться до 10 устройств.

Поскольку каждая плата расширения *PCI* работает с разделителем между двумя периферийными устройствами, то общее число разъемов уменьшится.   
Шина работает на фиксированной частоте 33 МГц, предусматривает напряжение питания для контроллеров 5 и *3,3 V*. А также обеспечивает режим их автоконфигурации. *PCI* карты на напряжении *5V* могут вставляться только в соответствующие слоты конструктивно отличающихся от слотов для карт с напряжением *3,3V*. Имеются и универсальные *PCI* адаптеры, работающие в любом их слотов. Шина *PCI* может использовать 124 контактный (32 разрядная передача данных) или 188 контактный разъем (64 разрядная передача данных). При этом теоретически возможная скорость обмена составляет 132 и 264 Мбайта в секунду. На системной плате устанавливается не больше 3-4 разъемов *PCI*. На компьютерах I286 вообще не устанавливались.

Стандарт PCMCIA

Устройства соответствующие первой версии данного стандарта разрабатывались в качестве альтернативы приводов гибких дисков в портативных компьютерах.   
*PCMCIA* устройства используются как платы расширения для модулей памяти модемов, *SCSI* адаптеров, сетевых карт, звуковых карт, винчестеров, флеш памяти. Разъем *PCMCIA* размещается в стандартном отсеке с форм фактором 3,5 или 5,25 дюйма. Первая версия стандарта поддерживала все шины памяти, включая: *DRAM (SRAM, PSRAM, ROM, PROM, UVEPROM, EEPROM, FLASH).*

Во второй версии спецификации стандарта появились: поддержка устройств ввода вывода, дополнительный сервис для модулей флеш памяти, поддержка модулей с двойным напряжением питания и *XIP* механизм.

*XIP* механизм обеспечивает выполнение программ непосредственно в пространстве *PCMCIA* модуля памяти, экономя тем самым системную память компьютера. Вместе со второй версией ассоциация *PCMCIA* разработала новую спецификацию *SSIS*, которая устанавливает стандартный набор системных приводов для работы с *PCMCIA* модулей. *SSIS* выполнена в виде BIOS, что позволяет сохранить независимость аппаратных средств, гарантируя при этом программную совместимость. Позднее был предложен более высокий уровень программных операций в *PCMCIA* модулях *Card Services*. Новая версия спецификации позволяет называть *PCMCIA* модули просто *PC Cards*.

Стандарт *PCMCIA* для связи между *PC Card* и соответствующим устройством адаптера или портом компьютера определяет 68 контактный механический соединитель. 16 разрядов на нем выделены под данные, 26 разрядов под адрес, что позволяет непосредственно адресовать 64 Мбайта памяти. Хотя некоторые выводные контакты предназначены для сигналов необходимых при работе с памятью, эти же контакты могут использоваться и для сигналов рассчитанных на работу с устройствами ввода вывода. Для этого необходима переконфигурация выводов.

На стороне модуля *PC Card* расположен разъем розетка, ан стороне компьютера соединитель вилка, кроме того, стандарт определяет 3 различных длины контактов соединителей вилки, т.к. подключение и отключение *PC Card* может происходить при работающем компьютере, то для этого надо, чтобы на модуль сначала подалось напряжение питания, а уж затем напряжение сигнальных линий, соответствующие контакты которых выполнены более длинными.

Вторая версия *PCMCIA* определяет только 3 типа габаритных размеров для *PC Card*: тип 1, тип 2 и тип 3. Два первых типа ограничивают размеры PC Card до 54мм в ширину и 85,6мм в длину. *PCMCIA* модули первого типа имеют толщину 3,3мм, второго типа 5мм в середине и 3,3мм по краям. *PC Card* третьего типа имеют толщину 10,5мм, для них необходимы слоты двойной высоты, толщина по краям 3,3мм. В таких модулях размещают 1,3 дюймовые винчестеры. В добавление ко второй версии стандарта представляют увеличение длины 1 и 2 типа до 5,73 дюйма. Эта конструкция используется для модулей модемов, на которых устанавливается разъем *RJ-11*. Кроме габаритных размеров стандарт предписывает размещение переключателя защиты записи внутреннего источника тока, марки изготовителя, температурные режимы (0-55 0С)

# Микропроцессор

Микропроцессор INTEL 80286 предусматривает 24-разрядную адресацию, 16-разрядный интерфейс памяти, расширенный набор команд, функции ПДП и прерываний, аппаратное умножение и деление чисел с плавающей запятой, объединенное управление памятью, 4-уровневую защиту памяти, виртуальное адресное пространство на 1 гигабайт (1 073 741 824 байта) для каждой задачи и два режима работы: режим реальной адресации, совместимый с микропроцессором 8086, и режим защищенной виртуальной адресации.



# Режим реальной адресации

В режиме реальной адресации физическая память микропроцессора представляет собой непрерывный массив объемом до одного мегабайта. Микропроцессор обращается к памяти, генерируя 20-разрядные физические адреса.

20-разрядный адрес сегмента памяти состоит из двух частей: старшей 16-разрядной переменной части и младшей 4-разрядной части, которая всегда равна нулю. таким образом, адреса сегментов всегда начинаются с числа, кратного 16.

В режиме реальной адресации каждый сегмент памяти имеет размер 64 Кбайта и может быть считан, записан или изменен. Если операнды данных или команд попытаются выполнить циклический возврат к концу сегмента, может произойти прерывание или возникнуть исключительная ситуация ; например, если младший байт слова смещен на FFFF, а старший байт равен 0000. если в режиме реальной адресации информация, содержащаяся в сегменте, не использует все 64 Кбайт, неиспользуемое пространство может быть предоставлено другому сегменту в целях экономии физической памяти.

# Режим защиты

Режим защиты предусматривает расширенное адресное пространство физической и виртуальной памяти, механизмы защиты памяти, новые операции по поддержке операционных систем и виртуальной памяти.

Режим защиты обеспечивает виртуальное адресное пространство на 1 гигабайт для каждой задачи в физическом адресном пространстве на 16 Мегабайт. виртуальное пространство может быть больше физического, т.к. любое использование адреса, который не распределен в физической памяти, вызывает возникновение исключительной ситуации, требующей перезапуска.

Как и режим реальной адресации, режим защиты использует 32-разрядные указатели, состоящие из 16-разрядного искателя и компонентов смещения. искатель, однако, определяет индекс в резидентной таблице памяти, а не старшие 16 разрядов адреса реальной памяти. 24-разрядный базовый адрес желаемого сегмента памяти получают из таблиц памяти. для получения физического адреса к базовому адресу сегмента добавляется 16-разрядное смещение. микропроцессор автоматически обращается к таблицам, когда в регистр сегмента загружается искатель. все команды, выполняющие загрузку регистра, обращаются к таблицам памяти без дополнительной программной поддержки. таблицы памяти содержат 8-байтовые значения, называемые описателями.

# Производительность системы

Микропроцессор 80286 работает с частотой 6 Мгц, в результате чего период синхроимпульсов составляет 167 Нс.

Цикл шины требует 3 периода синхроимпульсов ( включая один цикл ожидания); таким образом достигается 500-наносекундный 16-разрядный цикл работы микропроцессора. операции передачи данных по 8-разрядной шине на 8-разрядные устройства занимают 6 периодов синхроимпульсов (включая 4 цикла ожидания), в результате чего достигается 1000-наносекундный цикл работы микропроцессора. Операции передачи данных по 16-разрядной шине на 8-разрядные устройства занимают 12 периодов синхроимпульсов ( включая 10 циклов ожидания ввода-вывода), в результате чего достигается 2000-наносекундный цикл работы микропроцессора.

# Системные прерывания

Микропроцессор немаскируемых прерываний (НМП) 80286 и две микросхемы контроллера прерываний 8259A обеспечивают 16 уровней системных прерываний. ниже эти уровни приводятся в порядке уменьшения приоритета.

Замечание: как все прерывания, так и любое из них в отдельности, могут маскироваться (включая НМП микропроцессора).

|  |  |
| --- | --- |
| Уровень | Функция |
| Микропроцессор НМП | Контроль чётности или каналов ввода−вывода |

|  |  |  |
| --- | --- | --- |
| Контроллеры прерываний | | |
| № | Уровень | Функция |
| 1 | IRQ 0  IRQ 1  IRQ 2 | Выход 0 таймера  Клавиатура (выходной буфер полн)  Прерывание от CTRL 2 |
| 2 | IRQ 8  IRQ 9  IRQ 10  IRQ 11  IRQ 12  IRQ 13  IRQ 14  IRQ 15 | Часы реального времени  Переадресовка программы к INT OAM (IRQ 2)  Резерв  Резерв  Резерв  Сопроцессор  Контролер жёсткого диска  Резерв |
| 3 | IRQ 3  IRQ 4  IRQ 5  IRQ 6  IRQ 7 | Последовательный порт 2  Последовательный порт 1  Параллельный порт 2  Контроллер накопитель на ГМД  Параллельный порт 1 |

# Сопроцессор.

# Описание

Математический сопроцессор персонального компьютера IBM PC AT позволяет ему выполнять скоростные арифметические и логарифмические операции, а также тригонометрические функции с высокой точностью.

Сопроцессор работает параллельно с микропроцессором, это сокращает время вычислений, позволяя сопроцессору выполнять математические операции, в то время как микропроцессор занимается выполнением других функций.

Сопроцессор работает с семью типами числовых данных, которые делятся на следующие три класса:

* двоичные целые числа (3 типа);
* десятичные целые числа (1 тип);
* действительные числа (3 типа).

# Условия программирования

Сопроцессор предлагает расширенный набор регистров, команд и типов данных для микропроцессора.

Сопроцессор имеет восемь 80-разрядных регистров, которые эквивалентны емкости сорока 16-разрядных регистров в микропроцессоре. В регистрах можно хранить во время вычислений временные и постоянные результаты, что сокращает расход памяти, повышает быстродействие, а также улучшает возможности доступа к шине. Пространство регистров можно использовать как стек или как постоянный набор регистров. При использовании пространства в качестве стека работа ведется только с двумя верхними стековыми элементами. В следующей таблице показано представление больших и малых чисел в каждом типе данных.

# Условия аппаратного обеспечения

Математический сопроцессор использует тот же генератор синхроимпульсов, что и микропроцессор. Он работает с частотой, равной одной трети частоты системных синхроимпульсов микропроцессора. Сопроцессор подсоединен так, что он функционирует как устройство ввода-вывода через порт ввода-вывода с адресами 00F8, 00FA и 00FC. Микропроцессор посылает коды операций и операнды в эти порты ввода-вывода, через них он также принимает и записывает в память результаты вычислений. Сигнал занятости сопроцессора сообщает микропроцессору о том, что он исполняет операции. По команде "WAIT" микропроцессор ожидает, пока сопроцессор закончит исполнение.

Сопроцессор выявляет шесть различных исключительных ситуаций, которые могут возникнуть во время исполнения команды. Если маска соответствующего исключения в сопроцессоре не установлена, сопроцессор устанавливает сигнал ошибки, по которому генерируется прерывание 13, и сигнал 'BUSY' фиксируется в установленном состоянии. Сигнал 'BUSY' может быть очищен командой записи 8-разрядного ввода-вывода по адресу F0, при условии что D0-D7 равны нулю.

Код самоконтроля при включении питания в системном ПЗУ разрешает прерывание 13 и устанавливает вектор этого прерывания, указывающий на рабочую программу ПЗУ. Эта программа очищает защелку сигнала 'BUSY' и передает затем управление по адресу, указанному вектором немаскированного прерывания. Это позволяет использовать код, записанный для любого персонального компьютера IBM, в IBM PC AT. Драйвер немаскируемых прерываний должен прочитать состояние сопроцессора, чтобы определить, было ли НМП вызвано сопроцессором. Если нет, то управление передается исходному драйверу НМП.

Сопроцессор предусматривает два режима работы, подобные двум режимам микропроцессора. после сброса при включении питания или при операции записи ввода - вывода в порт с адресом 00F1 сопроцессор находится в режиме реальной адресации. Этот режим совместим с сопроцессором 8087, который используется с другими персональными компьютерами IBM. Сопроцессор может быть переведен в режим защиты с помощью команды SETPM ESC. В режим реальной адресации он может возвратиться, если будет выполнена операция записи ввода-вывода в порт с адресом 00F1, при условии что D0-D7 равны 0.

**Базовая система ввода-вывода (BIOS)**

Базовая система ввода-вывода (BIOS) находится в ПЗУ на системной плате. Она обеспечивает управление уровнями для основных устройств ввода-вывода в системе. На дополнительных адаптерах могут размещаться дополнительные модули ПЗУ, которые обеспечивают управление уровнями устройства на этом дополнительном адаптере. Рабочие программы BIOS позволяют программисту, работающему на языке ассемблера, выполнять операции ввода-вывода в блоковом (диски или дискеты) или в символьном формате без учета адреса и параметров устройства. BIOS предусматривает такие системные услуги, как определение времени суток и размера памяти.

Целью BIOS является обеспечение операционной связи с системой и освобождение программиста от заботы об аппаратных характеристиках устройств. Интерфейс BIOS отделяет пользователя от аппаратуры, позволяя добавлять к системе новые устройства, сохраняя при этом связь с устройством на уровне BIOS. В этом случае аппаратные изменения и расширения становятся "прозрачными" для пользователя.

# Использование BIOS

Доступ к BIOS обеспечивается через программные прерывания микросхемы 80286 в режиме реального времени. Каждая точка входа в BIOS доступна через собственное прерывание. например, для определения объема базового ОЗУ, доступного в системе, содержащей 80286, в режиме реального времени, прерывание INT 12H вызывает рабочую программу BIOSа для определения размера памяти и возвращает полученное значение системе.

# Передача параметров

Все параметры, передающиеся в рабочие программы BIOS и обратно, проходят через регистры микросхемы 80286. Вводная часть каждой функции BIOS содержит регистры, используемые при вызове и возврате, например, для определения размера памяти параметры не передаются. Размер памяти в килобайтах возвращается в регистр AX. Если функция BIOS содержит в себе несколько возможных операций, то регистр AH используется на входе, чтобы показать желаемую операцию, например, для установки времени суток требуется следующая программа:

MOV AH,1 установить время суток

MOV CX,HIGH COUNT установить текущее время

MOV DX,LOW COUNT

INT 1AH установить время

для чтения времени суток:

MOV AH,0 считать время суток

INT 1AH считать таймер

Программы BIOS запоминают все регистры, кроме AX и флагов. Другие регистры изменяются по возврату только в том случае, если они возвращают значение вызывающей программе. Конкретное назначение регистра можно определить по вводной части каждой функции BIOS.

## Список использованной литературы

1. Э. Ратч «IBM AT руководство для начинающих» М: «Радио и связь» 1993г.
2. В. Э. Фигурнов «IBM PC для пользователя» изд.5. М: «Финансы и статистика» 1995г.
3. Большая часть информации взята из Internet, но по причине ограниченности доступа мне некогда было переписывать адреса сайлов…