# Расчёт элементов эмиттерно-связанной логике

# Министерство образования Украины

# Харьковский государственный технический университет радиоэлектроники

КУРСОВОЙ ПРОЕКТ

По курсу: «Аналоговая и цифровая электроника»

На тему: «Расчёт элемента эмиттерно-связанной логики»

Выполнил:                                                                                   Руководитель проекта:

ст. гр. БТМАС 97-1                                                                     Борзенков Б.И.

Нагайченко М.В.

Харьков

1999

### РЕФЕРАТ

Курсовой проект о расчёте ЭСЛ: 18 с., 5 рис., 1 приложение, 4 источника.

Объект разработки – элемент эмиттерно-связанной логики.

Цель работы – научиться применять полученные знания на практике.

Данный элемент эмиттерно-связанной логики (ЭСЛ) применяется в аппаратуре собранной на интегральных микросхемах, а также во всей области аппаратуры, которая использует для обработки сигналов двоичный код – логический «0» и «1».

Данный элемент ЭСЛ потребляет намного меньше энергии, чем аналогичные элементы других типов.

Логический элемент ЭСЛ становиться всё более популярней, так как имеет высокую скорость обработки информации.

ЭМИТТЕРНО-СВЯЗАННАЯ ЛОГИКА, ИНТЕГРАЛЬНАЯ МИКРОСХЕМА, ЭМИТТЕРНО-ЭМИТТЕРНАЯ -СВЯЗАННАЯ ЛОГИКА,ПОЛУПРОВОДНИКОВАЯ ЦИФРОВАЯ СХЕМА, ЛОГИЧЕСКИЙ ЭЛЕМЕНТ

## СОДЕРЖАНИЕ

# Задание на курсовое проектирование                                                                       2

# Реферат                                                                                                               3

# Введение                                                                                                                              5

1    Выбор схемы логического элемента ЭСЛ                                                  6

2    Расчетная часть                                                                                                            9

Выводы                                                                                                             16

## Список используемых источников                                                                              17

Приложение А                                                                                                  18

### ВВЕДЕНИЕ

Схемы первых интегральных элементов были такие же, как при использовании дискретных компонентов. Однако очень скоро были обнаружены новые возможности интегральной техники, позволяющие создавать схемы с очень выгодными параметрами на совершенно новых принципах. Появились разнообразные ряды интегральных цифровых схем, из которых в настоящее время наиболее распространён ряд ТТЛ (транзисторно-транзисторные логические схемы), а для систем с большим быстродействием наиболее перспективен ряд ЭСЛ (логические схемы с эмиттерной связью).

Наиболее интенсивно развивались не только базовые интегральные схемы. Самые распространённые серии ЦИС дополнены в настоящее время различными интегральными субсистемами, например счётчиками, регистрами, дешифраторами, выпускаются интегральные полупроводниковые запоминающие устройства ёмкостью в несколько миллиардов бит и т.д.

В схемах ЭСЛ транзисторы работают вне области насыщения, поэтому автоматически исключается задержка, вызванная избыточными зарядами. Основным свойством и достоинством схем ЭСЛ является небольшая задержка, величина которой у самых последних типов составляет около 0.01 нс. Принцип действия схем ЭСЛ – логических схем с эмиттерной связью – заключается в переключении точно определённого тока малыми изменениями управляющего напряжения, порядка десятых вольта. Поэтому первоначально их называли переключателями тока и обозначали CML и CSL. Эти схемы были хорошо известны в системах на дискретных элементах, но в связи с большим числом необходимых транзисторов они нашли широкое применение только после внедрения интегральной техники. Последовательно были созданы серии: ЭСЛІ, ЭСЛІІ, ЭСЛІІІ и Э2СЛ (ЭЭСЛ).

С появлением транзистора в 1948 г. началась эпоха полупроводниковой цифровой техник, которая обусловила развитие самых разнообразных систем и устройств обработки информации. Где-то до 70-х годов в этих системах применялись полупроводниковые цифровые схемы на дискретных и пассивных элементах. Однако при использовании этих схем в больших и сложных системах возникли большие проблемы, касающиеся надёжности, экономичности и максимального быстродействия. Решить эти проблемы позволили новые открытия и производственные процессы в полупроводниковой технике, результатом которых явилась реализация интегральных схем.

## 1    ВЫБОР СХЕМЫ ЛОГИЧЕСКОГО ЭЛЕМЕНТА ЭСЛ

Модификацию базового логического элемента ЭСЛ условно можно отнести к следующим группам:

1    С улучшенными эксплуатационными характеристиками;

2    С увеличенными логическими возможностями;

3    Используемые в схемах средней и большой степени интеграции.

1     На рисунке 1.1 приведена схема с повышенным напряжением статической помехоустойчивости . Это достигается за счет увеличения логического перепада. Реализация последнего осуществляется включением эмиттерных повторителей на входе и выходе схемы ЭСЛ. В результате логический перепад в схеме увеличивается и становится равным , в то время как в схеме базового логического элемента ЭСЛ он составит . В этой же схеме величина , а в схеме базового логического элемента .



|  |
| --- |
|  |
|  |  |

Находит применение также элемент Э2СЛ (эмиттерно-эмиттерно-связанная логика), являющаяся частью элемент, показанного на рисунке 1.1 с выходами y4 и y3 (без выходных эмиттерных повторителей на транзисторах VT7, VT8). Указанная схема элемента имеет определённые преимущества по сравнению со схемой базового логического элемента: более высокое входное сопротивление и, следовательно, Краз; эквивалентная входная ёмкость почти в 2 раза меньше; меньше суммарная ёмкость коллекторного узла и за счёт этого выше быстродействие.

Рисунок 1.1 – Элемент Э2СЛ

2     Для увеличения логических возможностей элемента ЭСЛ используют различные схемотехнические приёмы. На рисунке 1.2 выходы двух элементов (допускается больше двух выходов) объединены по прямым и инверсным выходам соответственно на нагрузочных резисторах. Для получения логической функции И-ИЛИ применяют схему с коллекторным объединением, рисунок 1.3. В этом случае прямые выходы двух элементов ЭСЛ объединяют на одной коллекторной нагрузке. Чтобы при этом из-за двойного тока не возросла вдвое амплитуда напряжения и, как следствие, транзисторы прямого плеча не оказались в режиме насыщения, предусмотрена специальная цепочка, отводящая избыточный ток и ограничивающая амплитуду напряжения.

Рисунок 1.2 - Схему с коллекторным объединением

                                       Рисунок 1.3 - И-ИЛИ элемент

3     Специфические требования схемотехники средней и большей степени интеграции ЭСЛ – повышение быстродействия и снижение мощности потребления для составляющих элементов. Эти требования достаточно хорошо выполняются  элементами МЭСЛ (малосигнальной эмиттерно-связанной логики). На рисунке 1.4 приведена схема элемента МЭСЛ. В такой схеме напряжение питания Uип=2..3 В. Напряжение логического перепада Uл=0.3..0.4 В; уровни напряжений U0=-IкRк; U1=-Rк (Iк – ток нагрузки).

Благодаря снижению напряжения питания и исключению эмиттерных повторителей мощность потребления этой схемой в 3..5 раз меньше, чем в базовом элементе ЭСЛ. Типовое значение средней задержки распространения составляет ; при мощности  Р= мВт работа переключения Апер=5..10 пДж.

Недостатком элемента МЭСЛ – снижение помехоустойчивости и уменьшение коэффициента разветвления до Краз=4..5. Однако, несмотря на указанные недостатки, элемент МЭСЛ перспективен для использования в схемах БИС.

Рисунок 1.4 - схема элемента МЭСЛ

#### 2    РАСЧЕТНАЯ ЧАСТЬ

Для расчёта ЭСЛ воспользуемся параметрами, взятыми из части курсового проекта «ЗАДАНИЕ». Логика построения ЭСЛ – положительная. Рисунок схемы ЭСЛ приведен в приложении А, эпюры напряжения входного сигнала приведены на рисунке 2.1.

Рисунок 2.1 – Эпюра напряжения входного сигнала.

Принимаем падение напряжения на открытом p-n переходе транзисторов (в том числе транзистора нагрузки) диодов одинаковой, т.е. UбэТ=UбэТн=Uд=U\*=0.7 В.

Расчет статических параметров.

2.1  При разработке схем ЭСЛ следует принимать:

(Rк/Rэп)опт=0.2¸0.4,                                                     (2.1)

где Rк – сопротивление коллектора,

       Rэп – сопротивление эмиттерного повторителя.

Выбираем из (2.1) 0,3 и преобразуя найдём:

Rэп=Rк/0,3                                                                 (2.2)

2.2  Для определения сопротивления резисторов источника опорного напряжения принимаем следующие отношения:

R4=(2¸4)Rк;   R5=Rк; R8=R3=R6=R7;

и получим;

R3=Rэп; R4=3Rк; R5=Rк; R6=R7=Rэп; R8=Rэп.                         (2.3)

2.3  Подставим (2.2) и (2.3) в формулу:

,     (2.4)

где Краз – коэффициент разделения по входу;

       Uоп – среднее значение между уровнями «1» и «0», равный –1.2 В

и по известным значениям определяем Rк:

подставляем в (2.2) и получим:

2.4    Из (2.1), (2.3) определяем значение сопротивлений резисторов:

R1=708      Ом  R3=2360 Ом       R5=708 Ом          R7=2360 Ом

R2=708      Ом  R4=2124 Ом       R6=2360 Ом        R8=2360 Ом         Rб=50 кОм

2.5    Из формулы:

,                                                (2.5)

определяем входной ток логической единицы (через каждый открытый эмиттерный переход):

2.6    Из формулы:

,                                                         (2.6)

Определить ток логического «0» определяемый сопротивлением Rб в цепи базы закрытого транзистора.

2.7    Из формулы:

,                                                     (2.7)

определяем напряжение порога переключения:

2.8    Из формулы:

,                                               (2.8)

определяем ширину активной зоны:

2.9    Из формулы:

,                                                  (2.9)

определяем логический перепад:

2.10  Из формулы:

,                                             (2.10)

определяем напряжение статической помехоустойчивости по уровню “0” и “1”.

2.11  Из формулы:

,                                       (2.11)

определяем ток логической части элемента :

2.12  Из формулы:

                                                          (2.12)

и

,               (2.13)

определяем точки эмиттерных повторителей:

2.13  Из формулы:

                                                      (2.14)

                                      и

,                                               (2.15)

определяем ток источника опорного напряжения:

2.14  Из формулы:

,                                   (2.16)

определяем общий ток, потребляемый элементом в состоянии “0” и (“1”):

2.15  Из формулы:

,                                                          (2.17)

определяем мощность потребляемым логической частью элемента:

2.16  Из формулы:

,                                       (2.18)

определяем мощность эмиттерных повторителей:

2.17  Из формулы:

,                                   (2.19)

определяем мощность потребляемую источником опорного напряжения:

2.18  Из формулы (2.17), (2.18), (2.19) определяемм суммарную мощность потребляемая элементом (одинаковая для состояния “0” и “1”):

2.19  Из формулы:

,                                 (2.20)

,                                 (2.21)



|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |

определяем             и            :

2.20  Из формулы:

,                                                           (2.22)

определяем входное сопротивление элемента, когда на входе действует напряжение логического  “0”:

2.21  Из формулы:

,                                                    (2.23)

определяем входное сопротивление элемента, когда на его входе действует напряжение логической “1”:

2.22  Из формулы:

,                                          (2.24)

определяем входное сопротивление элемента, когда на выходе действует напряжение логического “0”:

2.23  Из формулы (24) определяем выходное сопротивление элемента, когда на выходе действует напряжение логической “1”:

Расчёт динамических параметров

2.24  Из формулы:

,                                                   (2.25)

где fT – граничная частота усиления транзистора.

При fT=11 МГц определяем:

2.25  Из формулы:

,                                       (2.26)

                                      и

,                                                (2.27)

где М – количество транзисторов в схеме VT1¸VT3, VT6; Ск - ёмкость коллекторных переходов транзисторов; Сп1 – паразитная ёмкость металлических соединений и изоляции транзисторов и резистора R1; С2 – ёмкость на выходе транзистора VT6; В – статическое значение коэффициента усиления транзистора VT6; Сн – ёмкость нагрузки; Сп2 – паразитная ёмкость изоляции резистора R6 и металлических соединений подключенных к выходу схемы.

При М=4, Ск=2 пФ, Сп1= 1 пФ, Сн=30 пФ, Сп2= 2 пФ.

2.26  Из формулы:

,                                                         (2.28)

2.27  Из формулы:

,                                                        (2.29)

2.28  Из формулы:

,                                             (2.30)

определяем время спада:

2.29  Из формулы:

,                        (2.31)

определяем время наростания потениала:

2.30  Из формулы:

,                                                (2.32)

определяем задержку при включении:

2.31  Из формулы:

,                                                     (2.33)

определяем задержку при выключении:

2.32  Из формулы:

,                                            (2.34)

определяем среднюю задержку распространения:

2.33  Из формулы:

,                                                          (2.35)

определяем время перехода из состояния “1” в состояние “0”:

2.34  Из формулы:

,                                                       (2.36)

определяем время перехода из состояния “0” в состояние “2”:

2.35  Из формулы:

,                                                (2.37)

2.36  Т.к.       и , то время задержки выключения равно времени задержки включения:     ==28,5 нс

2.37  Из формулы:

,                                                  (2.38)

найдем работу переключения:


## ВЫВОДЫ

Целью данного курсового проекта  являлась разработка логического элемента эмиттерно-связанной логики. В выборе схемы логического элемента был произведен краткий обзор существующих схем серий ЭСЛ.

По заданным данным определил основные статические характеристики разрабатываемой схемы. Расчет показал, что средняя потребляемая мощность не превышает заданного значения. В этом же разделе определил номинальные значения резисторов и конденсаторов, используемых в схеме. Это позволило рассчитать динамические параметры схемы ЭСЛ.

## СПИСОК ИСПОЛЬЗУЕМЫХ ИСТОЧНИКОВ

1    Соломатин Н.М. Логические элементы ЭВМ: Практ. пособие для вузов, 2-е изд., перераб. И доп. – М .: Высш. шк., 1990.-160с.

2    Ушаков В.Н. Основы радиоэлектрники и радиотехнические устройства. Учеб. Пособие для радиотехнических вузов., - М.: Высш. шк., 1976.-424с.

3    Будинский И.В. Логические цепи в цифровой электронике. – М.: Высш. шк., 1977.-323с.

4    ДСТУ 3008-95. – Видання офіційне

## ПРИЛОЖЕНИЕ А