1. Введение

2. Особенности МПС

3. Организация МПС.

3.1 Блок центрального процессора.

3.2 Центральная шина.

3.3 Модуль памяти.

3.4 Подключение УВВ

4. Заключение.

5. Литература.

# Введение

Эта микропроцессорная система выполнена на комплекте КР580. Микропроцессорный комплект серии КР580 содержит набор БИС для построения микропроцессорных систем относительно невысокого быстродействия, работающих в с тактовой частотой до 2,5 МГц. В основном на комплекте данной серии строятся микропроцессорные системы (МПС), решающие задачи, связанные с управлением разнообразными технологическими процессами. В этом комплекте предусмотрена БИС центрального процессора - КР580ВМ80А, содержащая в одной микросхеме операционное и управляющее устройство. Это существенно упрощает построение МПС. Кроме того, из соображений упрощения программирования для управления микросхемами МПС применяется фиксированный набор команд.

Микропроцессор КР580ВМ80А был выпущен в1974 году. С тех пор появилось большое количество более мощных микропроцессоров, но долгое время микропроцессор КР580ВМ80А был самым распространенным и применяется до сих пор в тех случаях, когда его производительности достаточно и использование более мощных микропроцессоров неоправданно. Кроме того, структура этого микропроцессора, принципы его работы, система команд, в определенной степени являются универсальными и отражают общие принципы функционирования микропроцессоров. Микропроцессор КР580ВМ80А представляет собой однокристальный восьмиразрядный процессор с фиксированным набором команд. Он предназначен для построения микропроцессорных систем обработки цифровой информации и систем управления в различных областях техники, где не предъявляется высоких требований по быстродействию .

Функционирование МПС сводится к следующей последовательности действий: получение данных от различных периферийных устройств, обработка данных и выдача результата обработки на периферийные устройства. При этом данные от периферийного устройства, подлежащие обработки могут поступать и в процессе их обработки. Для выполнения этих процессов в МПС предусматриваются следующие устройства: блок центрального процессора, выполняющий обработку информации; оперативная память, предназначенная для хранения и выдачи по запросам команд программ, определяющих работу микропроцессоров, различных данных.

# Особенности МПС

Все микросхемы, входящие в состав комплекта КР580, выполнены по nМДП технологии, однако входные и выходные сигналы соответствуют уровням логических схем ТТЛ-технологии. Это упрощает переходы между микросхемами серии КР580 и микросхемами ТТЛ-технологии любых серий. Следовательно, не возникает трудностей, если при построении микропроцессорной системы используются также некоторые микросхемы ТТЛ-технологии, имеющие широкое применение.

Микросхемы комплекта КР580 характеризуются следующими параметрами:

1. температурный диапазон: -10...+70 градусов по Цельсию;
2. потребляемая мощность: ≤0,7 Вт;
3. напряжение питания: КР580ВМ80А +5В, +12В, -5В, остальные БИС +5В;
4. допустимое отклонение напряжения: +5%, -5%;
5. нагрузочная способность каждого элемента БИС - один вход элемента ТТЛ;
6. время спада и нарастания входных напряжений на выводах БИС ≤30нс.

Основным элементом этого комплекта является БИС микропроцессора - КР580ВМ80А. Основные характеристики этого микропроцессора следующие:

1. Разрядность - 8 бит (1 Байт).
2. Максимальная тактовая частота f=2,5МГц, что соответствует быстродействию - 625000 опер./сек.
3. Объём адресуемой памяти V=65536 байт=64 килобайт. Разрядность шины адреса NШ.А.=16 бит.
4. Технология изготовления - nМОП. БИС микропроцессора выпускается в прямоугольном корпусе с 40 выводами с двухсторонним расположением выводов (типа DIP). На кристалле расположено 5000 транзисторов.
5. Система команд - 78 базовых команд или 244 кода.
6. Число подключаемых УВВ - 256.
7. Потребляемая мощность РПОТР=750мВт.
8. Уровни сигналов входов и выходов микропроцессора (за исключением входов тактовой частоты) соответствуют стандартным ТТЛ уровням.
9. Выходы микропроцессора являются маломощными и могут быть нагружены только одним стандартным ТТЛ входом.
10. Шина данных и шина управления совмещены. Этот микропроцессор не обладает готовой шиной управления, эта шина организуется с помощью дополнительной внешней схемы, называемой системным контроллером, которая использует байт состояния иуправляющие сигналы.

# Организация МПС.

## Блок центрального процессора.

Главным элементом блока центрального процессора (БЦУ) является микропроцессор КР580ВМ80А. Этот микропроцессор представляет собой 8-разрядный процессор, в котором совмещены операционные и управляющие устройства. Управляющая память недоступна пользователю, в ней уже в процессе изготовления БИС записываются микропрограммы операций. Таким образом, предусматривается использование некоторой фиксированной системы команд, в которую пользователь не может внести изменений. В связи с этим данный микропроцессор относится к числу немикропрограммируемых.

КР580ВМ80А

D0 A0

D1 CPU A1

D2 A2

D3 A3

D4 A4

D5 A5

D6 A6

D7 A7

A8

READY A9

HOLD A10

INT A11

A12

Ф1 A13

Ф2 A14

A15

RESET HLDA

INTE

DBIN

WR

SYNC

WAIT

Рисунок A

Выполнение каждой команды производится микропроцессором в строго определенной последовательности действий, которая определяется кодом команды и синхронизируется сигналами Ф1 и Ф2 тактового генератора. Цикл команды - это время выполнения команды. За это время: команда выбирается из памяти, дешифрируется код команды, формируются управляющие сигналы для выполнения команды, завершается воздействие управляющих сигналов. Цикл команды разбивается на машинные циклы - это время, требуемое для обращения к памяти или к устройствам ввода - вывода. Цикл команды состоит из стольких машинных циклов, сколько обращений к памяти или к УВВ потребуется для выполнения этой команды. Команды этого микропроцессора могут содержать от 1 до 5 машинных циклов. В свою очередь каждый машинный цикл состоит из тактов - наименьший промежуток времени, необходимый для выполнения одного элементарного действия в микропроцессоре. Такт равен 1 периоду тактовых импульсов тактового генератора. Машинный цикл может состоять от 3 до 5 тактов. Первые три такта требуются для организации обмена с памятью, а второй и третий такты - для выполнения внутренних операций в микропроцессоре. Отсчет тактов ведется от положительных фронтов импульсной последовательности Ф1. При выполнении любой команды сначала считывается первый байт команды из памяти. Простые команды выполняются за один машинный цикл; сложные команды - за 5 машинных циклов с восемнадцатью тактами.

Для формирования управляющих сигналов искусственно мультиплексируют шину данных, то есть в начале каждого машинного цикла на шину данных микропроцессор выставляет 8 управляющих сигналов, называемых байтом состояния. Байт состояния указывает, какой из машинных циклов выполняется в текущий момент, то есть к какому из внешних устройств происходит обращение. Байт состояния выставляется на шину данных по переднему фронту сигнала Ф2 в первом такте и снимается с шины данных по переднему фронту Ф2 во втором такте. Для того, чтобы показать, что идет процесс передачи байта состояния, используется выход SYNC микропроцессора: при выводе байта состояния на выходе SYNC =1. Сигнал SYNC=1 позволяет выделить байт состояния из информации передаваемой по шине данных. Байт состояния выдаётся на шину данных в интервале SYNC=1, а используется на протяжении всего машинного цикла. Поэтому байт состояния запоминается в специальном регистре слово-состояния. Запись производится с использованием сигналов SYNC =1 и Ф2=1. Дешифратор преобразует байт состояния требуемые для текущего машинного цикла системные управляющие сигналы. При формировании этих управляющих сигналов для согласования блоков МПС по временным характеристикам используются выходные сигналы микропроцессора DBIN и WR. Регистр слова-состояния и дешифратор, обеспечивающие формирование системных управляющих сигналов, называются системным контроллером.

Условное графическое обозначение микропроцессора приведено на Рисунок A.

**Назначение выводов микропроцессора**.

|  |  |
| --- | --- |
| Сигнал | Назначение |
| D0 - D8 | Двунаправленная 8-разрядная шина данных, которая выполняет: передачу управляющего слова; обмен данными между регистрами микропроцессора и блоками МПС. |
| A0-A15 | Направлення от микропроцессора 16 - разрядная шина, которая выполняет: передачу адреса ячейки памяти при обращении памяти; передачу адреса внешнего устройства. В этом случае 8-разрядный адрес УВВ появляется на выводах А0 - А7 и дублируются на линиях А8 - А15. |
| Сигналы управления шиной данных. | |
| DBIN | Выходной сигнал “Прием”. Если DBIN=1, то шина данных настроена на прием данных в микропроцессор из памяти или УВВ. Если DBIN=0, то шина данных настроена на вывод информации из микропроцессора. |
| WR | Выходной сигнал “Выдача данных”. Если WR=0, то микропроцессор зафиксировал на шине данных 8-разрядный код, который должен быть воспринят памятью или УВВ. |
| Сигналы управления вводом-выводом |  |
| READY | Входной сигнал “Готовность” от УВВ или памяти. Если READY=1, то УВВ или память готовы к обмену данными с микропроцессором. Если READY=1, то УВВ или память не готовы к обмену данными с микропроцессором . В этом случае микропроцессор входит в режим “Ожидание”. |
| WAIT | Выходной сигнал “Ожидание”. Если WAIT=1, то микропроцессор находится в режиме “Ожидание”. |
| INT | Входной сигнал “Запрос прерывания” от УВВ. Если INT=1, следовательно, одному из УВВ требуется обслуживание. |
| INTE | Выходной сигнал “Разрешения прерывания”. Этот сигнал информирует УВВ о возможности или невозможности обслуживания микропроцессором запросов на прерывание. Если INTE=1, то прерывания разрешены. Если INTE=0, то прерывания запрещены. |
| HOLD | Входной сигнал “Запрос захвата шин” от УВВ. Если HOLD=1, значит, одно из УВВ требует обмена по прямому доступу к памяти. |
| HLDA | Выходной сигнал “Подтверждение захвата шин”. Если HLDA=1, то микропроцессор отключился от системных шин и “отдал” их в распоряжение УВВ и памяти |
| Сигналы синхронизации. | |
| Ф1,Ф2 | Входные сигналы от тактового генератора. |
| SYNC | Выходной сигнал “Синхронизация”. Если SYNC=1, то на шину данных микропроцессор выставил восемь управляющих сигналов. |
| RESET | Входной сигнал “Сброс”. Сигнал начальной установки микропроцессора. Если RESET=1 в течение 3 - 4 периодов тактовой частоты, то микропроцессор прекращает свою работу, обнуляет счетчик команд и бездействует. Как только RESET=0, микропроцессор начинает выполнять команду, записанную по адресу 0000Н. |

D0 Q0

D1 RG Q1

D2 Q2

D3 Q3

D4 Q4

D5 Q5

D6 Q6

D7 Q7

OE

STB

Рисунок B

Так как выходы микропроцессора могут быть нагружены только на 1 ТТЛ-вход, то для согласования шин микропроцессора с памятью и внешними устройствами необходимы шинные формирователи.В этой МПС в качестве шинного формирователя шины адреса используются буферные регистры КР580ИР82. Шина адреса имеет 16 разрядов, итак как этот регистр имеет 8 разрядов, для построения буфера потребуется 2 микросхемы. Одна микросхема формирует буфер для разрядов шины адреса А0 - А7, а другая — А8 - А9. Для записи в регистр информации необходимо подать логическую единицу на вход строба записи STB. Чтобы этот регистр постоянно передавал данные с выходной шшины микропроцессора на внешнюю шину на вход STB необходимо постоянно подавать высокий уровень. С этой целью вход STB подключается к +5В.

Условное графическое обозначение показано на Рисунок B.

**Назначение выводов БИС КР580ИР82**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| D0 - D7 | Информационные входы. Подключаются к выходам микропроцессора А0-А7 для первой БИС и А8-А9 — для второй БИС. |
| Q0 - Q7 | Информационные выходы. Подключаются соответствующим разрядам внешней шины. |
| OE | Входной сигнал “Разрешение выхода”. Если OE=0, то информационные выходы переключаются в высокоимпедансное состояние. |
| STB | Входной сигнал “Строб записи”. Если STB=1, то в регистр записываются данные с информационных входов D0 - D7. |

КР580ВК28

BUSEN DB0

DB1

D0 DB2

D1 DB3

D2 DB4

D3 DB5

D4 DB6

D5 DB7

D6

D7 INTA

IOR

WR IOW

DBIN MEMR

HLDA MEMW

STSTB

Рисунок C

Шина данных имеет 8 разрядов с двунаправленной передачей информации. Для построения буфера достаточно одной микросхемы шинного формирователя, включенной по схеме с управляемой двунаправленной передачей информациии. Управление направлением передачи осуществляется с помощью сигнал DBIN, формируемого микропроцессором. Формирователь шины данных реализован на БИС КР580ВК28, кроме того эта БИС включает в себя системный контроллер. Выдаваемая из микропроцессора информация о состоянии микропроцессора поступает на вход этой БИС и при поступлении сигнала STSTB фиксируется в специальном внутреннем регистре состояния, где она хранится до наступления следующего цикла. Используя содержимое регистра состояния и управляющие сигналы с выхода микропроцессора DBIN, WR, HLDA БИС формирует системный управляющие сигналы INTA, IOR, IOW, MEMR, MEMW.

**Назначение выводов БИС КР580ВК28**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| D0 - D7 | Информационные входы/выходы шинного формирователя |
| DB0 - DB7 | Информационные входы/выходы шинного формирователя |
| BUSEN | Если BUSEN=0, то информационные входы/выход переходят в третье состояние. |
| WR | Входной сигнал “Запись” |
| DBIN | Входной сигнал “Приём” |
| HLDA | Входной сигнал “Подтверждение захвата шин” |
| STSTB | Входной сигнал “Строб записи слова состояния” |
| INTA | Выходной сигнал “Подтверждение прерывания” |
| IOR | Выходной сигнал “Чтение УВВ” |
| IOW | Выходной сигнал “Запись в УВВ” |
| MEMR | Выходной сигнал “Чтение памяти” |
| MEMW | Выходной сигнал “Запись в память” |

КР580ГФ24

X1 Ф1

X2 OSC Ф2

Ф

RDYIN

READY

SYNC RESET

RESIN PCLK

STSTB

Рисунок D

Работа микропроцессора синхронизируется двумя неперекрывающимися последовательностями сигналов Ф1 и Ф2. Эти сигналы формирует тактовый генератор КР580ГФ24. К выводам микросхемы X1 и X2 подключается кварцевый резонатор с частотой, в 9 раз более высокой, чем частота следования тактовых импульсов Ф1 и Ф2. Сформированные генератором гармонические колебания поступают на вывод PCLK для контроля работы генератора и синхронизируют работу тактовых импульсов. На выводы Ф1 и Ф2 выдаются требуемые для работы микропроцессора высоковольтные последовательности тактовых импульсов. На специальный вывод подаётся последовательность тактовых импульсов Ф2 с уровнями, характерными для микросхем ТТЛ. С помощью сигнала SYNK на вывод STSTB передаются импульсы Ф1, соответствующие началу каждого второго периода циклов работы микропроцессора. Кроме того, предусмотрены вход и выход сигнала сброса, вход и выход сигнала готовности.

Условное графическое изображение БИС КР580ГФ24 приведено на рисунок.

**Назначение выводов БИС КР580ГФ24**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| X1, X2 | Подключается кварцевый резонатор. |
| Ф1, Ф2 | Сформированные последовательности импульсов. |
| RDYIN | Входной сигнал “Готовность” |
| SYNC | Входной сигнал “Строб управляющего слова” |
| RESIN | Входной сигнал “Сброс” |
| Ф | Последовательность импульсов Ф2 с ТТЛ-уровнями. |
| READY | Выходной сигнал “Готовность” |
| RESET | Выходной сигнал “Сброс” |
| PCLK | Сформированные генератором гармонические колебания. |
| STSTB | Выходной сигнал “Строб записи слова состояния в регистр состояния”. |

Блок центрального процессора в приложении “Схема электрическая принципиальная. МПС.” выполнен на микросхемах DD1...DD6.

## Центральная шина.

В центральную шину входят шина адреса, шина данных и шина управления.

Шина адреса — 16-разрядная, направленная от микропроцессора шина, которая выполняет 2 функции:

1. передачу адреса ячейки памяти при обращении к памяти, максимально возможный объём которой составляет 216=65536 байт.
2. передачу адреса внешнего устройства при выполнении команд IN и OUT. В этом случае 8-разрядный УВВ появляется на выводах A0 - A7 и дублируется на выводах A8 - A15. Фактически для передачи адреса УВВ используется только 8 разрядов, поэтому можно адресовать 256 различных внешних УВВ.

Шина данных — 8-разрядная шина, которая выполняет 2 функции:

1. передачу управляющего слова
2. обмен данными между регистрами микропроцессора и блоками МПС.

Шина управления состоит из 4 линий. По этим линиям передаются сигналы: MEMW — запись в память, MEMR — чтение памяти, INIT — сброс или начальная установка, CLK — последовательность импульсов, снимаемая с выхода Ф1 тактового генератора. Сигналы MEMW и MEMR указывают также на чтение или запись реистров периферийных БИС.

## Модуль памяти.

КА573РФ1

A

0 PROM DI/DO

1 0

2 1

3 2

4 3

5 4

6 5

7 6

8 7

9

CS

WR/RD

Рисунок E

КМ132РУ8А

0

1 RAM DI/DO

2 11

3 12

4 13

5 14

6

7

8

9

CS

WR/RD

Рисунок F

Данная МПС содержит ОЗУ объёмом 2КБ и ПЗУ 2КБ. Причём 1КБ ПЗУ используется под дешифратор адреса для УВВ. Используется страничный метод организации памяти. ОЗУ использует страницы 30 и 41, ПЗУ выполнено на БИС КА573РФ1 с организацией 1К\*8, а ОЗУ — на БИС КМ132РУ8А с организацией 1К\*4. Условное обозначение БИС КА573РФ1 и КМ132РУ8А показано на Рисунок E и Рисунок F соответственно.

**Назначение выводов БИС КА573РФ1**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| A0 - A9 | Адресные входы |
| DI0/DO0 - DI7/DO7 | Информационные выходы |
| CS | Выбор микросхемы |
| WR/RD | Входной сигнал “Запись/чтение”. Если WR/RD=1, то чтение, если WR/RD=0, то запись. |

**Назначение выводов БИС КМ132РУ8А**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| 0 - 9 | Адресные входы |
| DI11/DO11 - DI14/DO14 | Информационные входы/выходы |
| CS | Выбор микросхемы |
| WR/RD | Входной сигнал “Запись/чтение”. Если WR/RD=1, то чтение, если WR/RD=0, то запись. |

1). Выбор дешифратора страниц: NвыхDC= Nстр= Vmax’=216=65536 байт; VmaxБИС’=210=1024 байта; Nстр==64 страницы; NвыхDC=64.

2). Организация входов дешифратора:

NвхDC=nШАОЗУ-nШАБИС=16-10=6 входов.

А15 А14 А13 А12 А11 А10 А9 А8 А7 А6 А5 А4 А3 А2 А1 А0

входы дешифратора А9 А8 А7 А6 А5 А4 А3 А2 А1 А0

адресация ячейки памяти на странице

3). Организация ОЗУ на странице: NБИС= ; mОЗУ=8 бит;

К155ИД7

D 0

0 DC 1

1 2

2 3

4

C 5

0 6

1 7

2

Рисунок G

ПЗУ: mБИС=8 бит; NБИС==1 БИС странице; ОЗУ: mБИС=4 бит; NБИС==2 БИС странице.

Дешифратор с 64 выходами не выпускается. Поэтому используется два дешифратора 3 на 8 — К155ИД7, условное графическое изображение которого показано на Рисунок G. Входы D0 - D2 одного дешифратора подключаются к разрядам шины адреса A10 - A12, а входы другого — к разрядам A13 - A15. Все адресное пространство разбивается на блоки по 8 страниц. Дешифратор, который подключен к разрядам А10 - А12 выбирает страницу в блоке, а дешифратор который подключен к разрядам А13 - А15 — блок в адресном пространстве. При выборе страницы активизируемые выходы у дешифраторов должны поступать на входы элемента ИЛИ, а выход элемента ИЛИ — на входы CS выбранной страницы. Выходы дешифраторы, которые выбирают неиспользуемые страницы в данной работе, остаются свободными.

**Назначение выводов БИС К155ИД7.**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| D0 - D2 | Входы |
| С0 - С2 | Входы разрешения. Вход С0 должен быть подключен к +5В, а С1, С2 — к общему. |
| 0 - 7 | Выходы |

## Подключение УВВ

&

1

1

1

Рисунок H

Для выбора устройства по конкретному адресу необходим дешифратор адреса. Этот дешифратор может быть построен несколькими способами:

1. На логических элементах(Рисунок H). УВВ выбирается подачей на его вход CS логического нуля. Адрес, по которому должен появиться ноль, с шины адреса подают входы логического элемента И-НЕ, с проинвертированными разрядами, в которых должны быть нули. При появлении на шине адреса нужного адреса нужного адреса на выходе элемента ИЛИ-НЕ появляется ноль. Этот выход и подключается к входу CS.

К555ИД7

D 0

0 DC 1

1 2

2 3

4

v 5

0 6

1 7

2

Рисунок I

1. На ИМС дешифратора(Рисунок I). Входы CS устройств подключаются к выходам дешифратора, выходы при этом должны быть с инверсией. А входы дешифратора подключаются к шине адреса. При появлении на шине адреса нужного адреса активизируется один из выходов дешифратора и выбирается устройство подключенное к этому выходу.

A

0 PROM DI/DO

1 0

2 1

3 2

4 3

5 4

6 5

7 6

8 7

9

CS

WR/RD

Рисунок J

1. На основе ПЗУ(Рисунок J). Входы CS устройства подключаются к информационным выходам ИМС ПЗУ. В ячейке ПЗУ по адресу, соответствующему адресу устройства, должно быть записано число, при обращении к которому на разряде информационного выхода, к которому подключено УВВ, должен появиться ноль.

В этом курсовом проекте используются периферийные БИС КР580ВИ53 и КР580ВВ55. БИС КР580ВИ53 — это программируемый интервальный таймер. Он предназначен для организации работы МПС в режиме реального времени:

КР580ВИ53

CLK0 PIT D0

CLK1 D1

CLK2 D2

D3

GATE0 D4

GATE1 D5

GATE2 D6

D7

A0

A1 OUT0

OUT1

CS OUT2

RD

WR

Рисунок K

1. Для формирования сигналов, с различными и временными и частотными характеристиками.
2. Для формирования стробирующих сигналов.
3. Для управления работой различных управляющих устройств.

Выходы OUT0 - OUT2 остаются свободными, ним должны подключаться устройства, использующие сигналы формируемые этой БИС.

Условное графическое обозначение показано на Рисунок K.

**Назначение выводов БИС КР580ВИ53.**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| CLK0 - CLK2 | Входы тактовых сигналов. Подключены к выходу Ф1 тактового генератора. |
| GATE0 - GATE2 | Входы разрешения или запуска счёта. Если GATE=1, то счёт разрешён. Эти входы подключены к +5В. |
| А0 - А1 | Адресация регистров БИС. Подключены к младшим разрядам шины адреса. |
| CS | Выбор БИС. |
| RD | Чтение регистров. Подключен к сигналу MEMR шины управления. |
| WR | Запись в регистры. Подключен к сигналу MEMW шины управления. |
| D0 - D7 | Информационные входы/выходы. Подключаются к шине данных. |
| OUT0 - OUT2 | Выходы таймера. На них появляются сигналы, формируемые таймером. |

БИС КР580ВВ55 — программируемый параллельный интерфейс. Он предназначен для осуществления обмена информацией в параллельном коде между микропроцессором и различными УВВ. Эта БИС может работать в трёх режимах:

КР580ВВ55

D0 BA7

D1 IOP BA6

D2 BA5

D3 BA4

D4 BA3

D5 BA2

D6 BA1

D7 BA0

WR BB7

BB6

RD BB5

BB4

CS BB3

BB2

RESET BB1

BB0

A0

A1 BC7

BC6

BC5

BC4

BC3

BC2

BC1

BC0

Рисунок L

1. синхронная програмно-управляемая передача данных в параллельном коде через 3 независимых 8-разрядных канала А, В, С. Допускается разбиение канала С на 2 4-разрядных канала С1 и С2.
2. асинхронный ввод-вывод через два независимых 8-разрядных канала А и В. Выводы канала С используются для приема и выдачи сигналов управления или квитирования.
3. асинхронный ввод-вывод только через 8-разрядный канал А. Для приема и выдачи сигналов управления используются выводы канала С, канал В может работать в режиме 0, либо в режиме 1.

Условное графическое обозначение БИС КР580ВВ55 приведено на Рисунок L.

В разрабатываемой МПС выводы каналов А, В, С остаются свободными, к ним должны подключаться УВВ.

В этой МПС подключение периферийных БИС производится на основе нулевой страницы ПЗУ. Вход CS БИС КР580ВИ53 подключен к информационному выходу DO0 БИС КА573РФ1, а вход CS БИС КР580ВВ55 — DO1.Выходы DO2 - DO7 остаются свободными. БИС КР580ВИ53 назначены адреса 018H-01ВН, а БИС КР580ВВ55 — 012H-015Н. При этом в ячейке БИС ПЗУ по адресам 018H-01ВН должно быть записано число 0FEH, в ячейке по адресам 012Н-015Н — 0FDH, а в остальных ячейках этой БИС — 0FFH. При появлении на шине адреса числа в пределах от 018Н до 01ВН на выходе DO0 БИС ПЗУ появится “0”, а на остальных выходах “1” и будет выбрана БИС таймера. При появлении на шине адреса числа в пределах от 012Н до 015Н на выходе DO1 появится “0”, а на остальных — “1” и будет выбрана БИС периферийного интерфейса. При появлении какого-либо другого адреса на всех выходах БИС ПЗУ DO0 - DO7 появится “1” и ни одно устройство не будет выбрано.

**Назначение выводов БИС КР580ВВ55**

|  |  |
| --- | --- |
| Сигнал | Назначение |
| D0 - D7 | Двунаправленная шина, по которой происходит обмен между регистрами БИС и внешней шиной данных. Подключаются к шине данных. |
| WR | Запись в регистры. Подключается к сигналу MEMW шины управления. |
| RD | Чтение регистров. Подключается к сигналу MEMR шины управления. |
| CS | выбор БИС. |
| RESET | Сброс. По этому в регистре управляющего слова устанавливается слово, при котором все каналы работают в режиме 0. Подключается к сигналу INIT шины управления. |
| A0 - A1 | Адресация регистров БИС. Подключены к младшим разрядам шины адреса. |
| BA0 - BA7 | Выводы канала А. |
| ВВ0 - ВВ7 | Выводы канала В. |
| ВС0 - ВС7 | Выводы канала С. |

# Заключение.

В этом курсовом проекте был получена МПС на комплекте КР580. Комплект КР580 содержит набор БИС для построения микропроцессорных систем относительно невысокого быстродействия, работающих с тактовой частотой 2,5 МГц. В основном на комплекте данной серии строятся микропроцессорные системы , решающие задачи, связанные с управлениями разнообразными технологическими операциями. В этот комплект входит микропроцессор с фиксированным набором команд, что облегчает составление программ, а также повышает быстродействие по сравнению с микропрограммируемыми микропроцессорами. Данная МПС позволяет подключать устройства, которые требуют динамического изменения временных и частотных характеристик их входных сигналов. Это реализуется с помощью установленного таймера КР580ВИ53. Присутствие в этой МПС программируемого параллельного интерфейса КР580ВВ55 предусматривает 3 канала, к которым можно подключать устройства ввода-вывода, обменивающихся 8-разрядными словами, а также позволяет гибко манипулировать этими каналами, изменяя их предназначение.

# Литература.

1. Методическое пособие: ”Теоретическое пособие по изучению МП КР580ВМ80А”, Нижегородский технический колледж, Нижний Новгород 1997 год.
2. “Справочник разработчика и конструктора РЭА”
3. Калачиков Б. А.: ”Микропроцессорры и их применение в системах передачи и обработки сигналов”.