Расчётно-графическая работа по схемотехнике.

Синтез цифрового конечного автомата Мили.

Вариант №2.

# Синтез цифрового конечного автомата Мили.

1. Построение графа конечного автомата.
2. Для заданного графа составить таблицу переходов и таблицу выходов.
3. Составляется таблица возбуждения памяти автомата.
4. Синтезируется комбинационная схема автомата.
5. Составить полную логическую схему автомата на указанном наборе элементов или базисе.
6. Составить электрическую схему на выбранном наборе интегральных микросхем.

# Вариант №2.

**RS - триггер.**

**Базис ИНЕ.**

| **Вершина графа** | **a1** | **a2** | **a3** | **a4** |
| --- | --- | --- | --- | --- |
| **Сигнал** | **Zi** | **Wj** | **Zi** | **Wj** | **Zi** | **Wj** | **Zi** | **Wj** |
|  **Дуга из вершины** | **1234** | **1234** | **1234** | **1234** | **1234** | **1234** | **1234** | **1234** |
|  **Соответствующие дугам индексы сигналов** | **1020** | **4010** | **0403** | **0404** | **4320** | **4240** | **2043** | **3032** |

# 1. Построение графа.

 Z1W4

 Z3W4

 a1 a2

 Z2W1

 Z4W3 Z4W4

 Z2W4

 a4 a3 Z4W4

Z2W3 Z3W2

 Z3W2

# Таблицы переходов.

**a(t+1)=δ[a(t); z(t)]**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***Сост. вх.*** | ***a1*** | ***a2*** | ***a3*** | ***a4*** |
| **Z1** | **a1** |  |  |  |
| **Z2** | **a3** |  | **a1** | **a4** |
| **Z3** |  | **a1** | **a4** | **a3** |
| **Z4** |  | **a3** | **a3** | **a2** |

**W(t)=λ[a(t); z(t)]**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***Сост. вх.*** | ***a1*** | ***a2*** | ***a3*** | ***a4*** |
| **Z1** | **W4** |  |  |  |
| **Z2** | **W1** |  | **W4** | **W3** |
| **Z3** |  | **W4** | **W2** | **W2** |
| **Z4** |  | **W4** | **W4** | **W3** |

2. Определение недостающих входных данных.

**Для этого используем**

**K=4 [ak]**

**P=4 [Zi]**

**S=4 [Wj]**

**Определяем число элементов памяти:**

 r ≥ log2K = 2

**Число разрядов входной шины:**

 n ≥ log2P = 2

**Число разрядов выходной шины:**

 m ≥ log2S = 2

3. Кодирование автомата.

| **Внутреннее состояние** | **Входные шины** | **Выходные шины** |
| --- | --- | --- |
| a1= | 00 | Z1= | 00 | W1= | 00 |
| a2= | 01 | Z2= | 01 | W2= | 01 |
| a3= | 10 | Z3= | 10 | W3= | 10 |
| a4= | 11 | Z4= | 11 | W4= | 11 |
|  | Q1Q2 |  | x1x2 |  | y1y2 |

4. С учётом введённых кодов ТП и таблицы выходов будут иметь следующий вид.

Tδ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 10 | 11 |
| 00 | 00 |  |  |  |
| 01 | 10 |  | 00 | 11 |
| 10 |  | 00 | 11 | 10 |
| 11 |  | 10 | 10 | 01 |

Tλ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 10 | 11 |
| 00 | 11 |  |  |  |
| 01 | 00 |  | 11 | 10 |
| 10 |  | 11 | 01 | 01 |
| 11 |  | 11 | 11 | 10 |

5. По таблицам выходов составляем уравнения логических функций для выходных сигналов y1 и y2, учитывая, что в каждой клетке левый бит – y1, а правый бит – y2.

; **(1)**

. **(2)**

Минимизируем уравнения (1) и (2).

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 11 | 10 |
| 00 | 1 | X | X | X |
| 01 |  | X | 1 | 1 |
| 11 | X | 1 | 1 | 1 |
| 10 | X | 1 |  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 11 | 10 |
| 00 | 1 | X | X | X |
| 01 |  | X |  | 1 |
| 11 | X | 1 |  | 1 |
| 10 | X | 1 | 1 | 1 |

; .

6. Преобразуем ТП в таблицу возбуждения памяти .

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ***вх. сигн*** | **Q1** | **0** | **Q2** | **0** |  | **Q1** | **0** | **Q2** | **1** |  | **Q1** | **1** | **Q2** | **0** |  | **Q1** | **1** | **Q2** | **1** |
| ***x1,x2*** | **R1** | **S1** | **R2** | **S2** |  | **R1** | **S1** | **R2** | **S2** |  | **R1** | **S1** | **R2** | **S2** |  | **R1** | **S1** | **R2** | **S2** |
| **00** |  | **0** |  | **0** |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| **01** | **0** | **1** |  | **0** |  |  |  |  |  |  | **1** | **0** |  | **0** |  | **0** |  | **0** |  |
| **10** |  |  |  |  |  |  | **0** | **1** | **0** |  | **0** |  | **0** | **1** |  | **0** |  | **1** | **0** |
| **11** |  |  |  |  |  | **0** | **1** | **1** | **0** |  | **0** |  |  | **0** |  | **1** | **0** | **0** |  |

7. По таблице возбуждения памяти составляем логические функции сигналов на каждом информационном входе триггера.

Минимизируем логические функции сигналов по пункту 7.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 11 | 10 |
| 00 | X |  |  |  |
| 01 |  |  |  | 1 |
| 11 |  |  | 1 |  |
| 10 |  | X |  |  |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 11 | 10 |
| 00 | X |  |  |  |
| 01 | X |  |  | X |
| 11 |  | 1 |  | X |
| 10 |  | 1 | 1 |  |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 11 | 10 |
| 00 |  |  |  |  |
| 01 | 1 |  | X |  |
| 11 |  | 1 |  | X |
| 10 |  |  | X | X |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2Q1Q2 | 00 | 01 | 11 | 10 |
| 00 |  |  |  |  |
| 01 |  |  | X |  |
| 11 |  |  | X |  |
| 10 |  |  |  | 1 |

9. По системе уравнений минимизированных функций входных, выходных сигналов и сигналов возбуждения элементов памяти составляем логическую схему цифрового автомата.

10. Электрическая схема цифрового автомата.

Логические элементы.

**К176ЛЕ5 К176ЛА8 К176ЛА7 К176ЛА9**

**&**

**1**

**&**

**1**

⭘

**1**

⭘

**1**

⭘

⭘

⭘

⭘

⭘

⭘

⭘

⭘

⭘

⭘

⭘

**&**

**&**

**&**

**DD1 – К176ЛЕ5**

**&**

**&**

**&**

**&**

**DD2 – К176ЛА8**

**DD3 – К176ЛА7**

**DD4 – К176ЛА9**

**DD5 – К176ТВ1**

Реализуем электрическую схему на базе типовой интегральной серии микросхем К176.

7

6

3

1

8

6

3

2

7

5

3

1

8

5

4

3

1

3

2

**T1**

**Q2**

**Q2**

**Q2**

**Q2**

**RCS**

y1

y2

&

&

&

y2

&

&

&

&

&

**T2**

&

&

&

&

&

&

x1

x2

&

**RCS**

x2

x1

&

&

&

1

1

1

2