Содержание

**1. ВВЕДЕНИЕ** ……………………………..…………………………………….2

**2. n-МОП СБИС ТЕХНОЛОГИЯ**…………………………………………… .4

 2.1Основы технологии производства n-МОПСБИС……………………4

 2.2Этапы технологического процесса….………………………………. 5

**3. СБИС ПРОГРАММИРУЕМОЙ ЛОГИКИ (ПЛ.)**……………………… .7

###### 4. МИКРОПРОЦЕССОРЫ……………………………………………………12

**5. МАТРИЧНЫЕ МИКРОПРОЦЕССОРЫ** ………...……………………. .17

5.1 Матричные микропроцессоры………………………..……………...17

### 5.2 Транзисторные матрицы………………………………..…………….17

5.3 Матричные процессоры…………………………………..…………..20

5.4 Автоматизация проектирования

цифровых СБИС на базе матриц Вайнбергера и транзисторных

матриц………………………………………………………………….…..21

**6. АВТОМАТИЗИРОВАННОЕ ПРОЕКТИРОВАНИЕ СБИС** ………….26

6.1 Основные типы БМК………………………..…………………….….28

6.2 Реализация логических элементов на БМК…..………………….….30

6.3 Системы автоматизированного проектирования матричных бис, постановка задачи проектирования……………………………………...31

6.4 Основные этапы проектирования…………………..………………..33

###### 7. ЗАКЛЮЧЕНИЕ…………………………………………………………... ...35

**8. СПИСОК ИСПЛЬЗУЕМОЙ ЛИТЕРАТУРЫ**……………………………37

##### 1. ВВЕДЕНИЕ

С момента появления первых полупроводниковых микросхем (начало 60-х годов) микроэлектроника прошла путь от простейших логических элементов до сложных цифровых устройств, изготавливаемых на одном полупроводниковом монокристалле площадью около 1 см2. Для обозначения микросхем со степенью интеграции выше 104 элементов на кристалле в конце 70-х годов появился термин "сверхбольшие интегральные схемы" (СБИС). Уже через несколько лет развитие этих микросхем стало генеральным направлением в микроэлектронике.

В начале своего развития электронная промышленность представляла собой отрасль техники, целиком основанную на операциях сборки, и позволяла реализовать весьма сложные функции путем объединения множества элементов в одном изделии. При этом значительная часть прироста стоимости изделий была связана с процессом сборки. Основными этапами этого процесса являлись этапы проектирования, выполнения и проверки соединений между электронными компонентами. Функции и размеры устройств, которые могли быть реализованы на практике, ограничивались количеством используемые компонентов, их физическими размерами и надежностью.

Исторически сложилось так, что первоначально внимание к ИС привлекли такие их особенности, как малые размеры и масса, а затем развитие техники ИС, позволяющей скомпоновать на поверхности кристалла значительное количество элементов, включая меж соединения, постепенно привело к возможности создания СБИС. Т.о. стало возможным не только "повышение экономичности" электронных схем, но и улучшение их характеристик с одновременным повышением надежности. Развитие техники и технологии СБИС обусловило весьма существенные вменения в специфике электронной промышленности, заключающееся в совершенствовании процесса изготовления ИС и методов их проектирования. Типичным фактором первой группы является совершенствование микро технологии. Уменьшение размеров полупроводниковых приборов позволяет одновременно добиться как улучшения характеристик ИС, формально определяемых законом пропорциональности размеров, так и улучшения их экономических (материальных и энергетических) показателей, связанных с уменьшением площади кристалла.

Исторически первым полупроводниковым материалом, использованным на ранних стадиях разработки полупроводниковых приборов, был германий. Совершенствование германиевой технологии сделало возможным создание ряда приборов, включая германиевые точечные и сплавные транзисторы. Однако вскоре германий был заменен кремнием, обладающим таким важным свойством, как возможность получения в окислительной среде тонкого, прочного и влагонепроницаемого диэлектрического слоя аморфной двуокиси кремния (SiO2).

В 60-х годах наибольшее распространение получили ИС на основе биполярных транзисторов. Начиная с 1975 г. на рынке превалируют цифровые ИС на основе МОП-структур. Преимущества ИС на основе МОП-структур:

Миниатюризация.

Низкое потребление мощности.

Высокий процент выхода.

Высокое быстродействие.

Высокий уровень технологичности.

В технологии СБИС степень интеграции превышает 215 элементов на кристалл. Уровень миниатюризации, который был использован при производстве процессора Intel Pentium в 1993 году, составлял 0,8 мкм, сейчас используются транзисторы с длиной канала 0,18 мкм, а в перспективе - разработка устройств с длиной канала в 0,13 мкм, что в плотную приближается к пределу физических ограничений на работу такого рода транзисторов.

Технология создания и получения сверхбольших интегральных схем с минимальными размерами в глубокой субмикронной области (0,25- 0,5 мкм к 2000 году) и наноэлектроника (полупроводниковые приборы с размерами рабочих областей до 100 нм к 2010 году) включают следующие основных направления:

технологию сверхбольших кремниевых схем с минимальными размерами в глубокой субмикронной области;

технологию сверхскоростных гетеропереходных приборов и интегральных схем на основе арсенида галлия, германия на кремнии и других соединений;

технологию получения наноразмерных приборов, включая нанолитографию.

При реализации этих направлений предусматривается создание сверхчистых монокристаллических полупроводниковых материалов и технологических реагентов, включая газы и жидкости; обеспечение сверх чистых производственных условий (по классу 0,1 и выше) в зонах обработки и транспорта пластин; разработка технологических операций и создание комплекса оборудования на новых физических принципах, в том числе кластерного типа, с автоматизированным контролем процессов, обеспечивающим заданную прецизионность обработки и низкий уровень загрязнения, а также высокую производительность процессов и воспроизводимость результатов, качество и надежность электронных элементов.

Технология сверхбольших интегральных схем обеспечивает разработку и промышленное освоение выпуска широкой номенклатуры интегральных схем, составляющих элементную базу высокопроизводительных ЭВМ, специализированной и бытовой радиоэлектронной аппаратуры, средств связи и телекоммуникаций, в том числе космического базирования. При данной технологии возможные минимальные рабочие размеры составляют 0,1-0,5 мкм и менее (до 70 нм к 2010 году), достигаются высокая производительность за счет использования пластин большого диаметра (200 и более мм) и полной автоматизации процессов, значительный процент выхода годных электронных приборов и высокая окупаемость вкладываемых в производство средств.

Кремниевая технология является основой создания элементной базы радиоэлектроники, вычислительной техники и средств автоматизации и связи широкого применения. Технология гетеропереходных интегральных схем благодаря высокому быстродействию этих приборов ориентирована на специализированные сверхскоростные применения, включая космическую технику, элементную базу суперкомпьютеров, технику связи и телекоммуникаций, а также специальную аппаратуру оборонного назначения.

Нанотехнология станет промышленной приблизительно начиная с 2010 года, что откроет перспективу создания принципиально нового поколения приборов и интегральных схем на новых физических эффектах и приведет в дальнейшем к коренным преобразованиям во многих областях деятельности, в первую очередь - в науке, образовании, управлении производством, в том числе при создании микро роботов, персональных средств связи, глобальных телекоммуникаций, вычислительных устройств на нейросетевых принципах.

**2. n-МОП СБИС ТЕХНОЛОГИЯ**

### 2.1 Основы технологии производства n-МОП СБИС

Транзистор на основе структуры металл - диэлектрик - полупроводник (МОП) является одним из наиболее широко используемых элементов СБИС. Первый транзистор, работающий на эффекте поля, был продемонстрирован в 1960 году. Сначала полевые транзисторы с двуокисью кремния в качестве подзатворного диэлектрика формировались на подложке n- типа проводимости. Затем из-за большей подвижности электронов, чем у дырок при формировании сверхбольших быстродействующих интегральных схем стали использовать n- канальные транзисторы, формируемые на p- подложке.

Рассмотрим основные технологические этапы производства n-МОП СБИС на примере создания логического вентиля И-НЕ с двумя входами.

Принципиальная схема вентиля (инвертора) приведена на рисунке.

Схема состоит из последовательно соединенных двух транзисторов, работающих в режиме обогащения (нормально закрытых) и одного транзистора, работающего в режиме обеднения (нормально открытый). Все транзисторы располагаются между шиной источника питания Vdd и заземляющей шиной Vss. Затворы первых двух транзисторов служат входами схемы, а затвор третьего транзистора, соединенный с истоком второго, является выходом инвертора.

Нормально открытый транзистор служит источником тока для двух остальных. Выходное напряжение имеет низкое значение (логический нуль) только в том случае, когда оба первых транзистора открыты, т.е. на их затворы подан высокий потенциал - логическая единица.

Подложка. В качестве подложки выбирают кремний p- типа проводимости легированный бором КДБ (100) с концентрацией примеси 1015 - 1016см-3. Выбор такой концентрации обусловлен несколькими причинами. С одной стороны уменьшение содержания примеси приводит к снижению чувствительности порогового напряжения к напряжению смещения на подложке и уменьшению емкости p-n переходов, приводя к увеличению быстродействия транзистора. С другой стороны возрастает концентрация неосновных носителей, вызывающих рост тока утечки через обратно смещенный p-n переход, что может привести к соприкосновению областей пространственного заряда стока и истока транзистора (прокол). Одним из вариантов решения этого противоречия является выращивание слаболегированных эпитаксиальных кремниевых слоев на сильнолегированной подложке, имеющей малую концентрацию неосновных носителей.

Ориентация кремниевой подложки (100) имеет преимущество по сравнению с (111), заключающееся с более высокой подвижности электронов, обусловленной низкой плотностью поверхностных состояний на границе кремний-диэлектрик.

**2.2 Этапы технологического процесса**.

**1 этап.**

Ионная имплантация бора для создания изоляции между транзисторами с помощью p-n переходов.

На поверхность кремниевой подложки наносятся промежуточный слой термической двуокиси кремния и  слой нитрида кремния, играющий роль маски при последующем локальном окислении кремния. Далее с помощью процесса литографии на поверхности вытравливаются окна, в которые осуществляется ионная имплантация бора. Иногда имплантацию осуществляют через слой окисла для уменьшения концентрации примеси в подложке и глубины ее проникновения.

**2 этап.**

На этом этапе проводятся следующие технологические операции:

- локальное окисление кремния (ЛОКОС процесс);

- формирование подзатворного окисла (после удаления промежуточных

 слоев двуокиси и нитрида кремния);

- имплантация бора для регулировки порогового напряжения нормально

 закрытых транзисторов; -

- формирование окна под скрытый контакт.

**3 этап.**

На данном этапе проводится ионная имплантация мышьяка для формирования канала нормально открытого транзистора. Использование мышьяка вместо фосфора обусловлено меньшей его глубиной в полупроводниковую подложку.

**4 этап.**

Проводится нанесение поликристаллического кремния с его последующим легированием мышьяком. Поликремний выполняет роль будущих затворов, предотвращает p- каналы от дальнейшей перекомпенсации акцепторной примеси мышьяком и служит материалом для последующего соединения стока и затвора нормально открытого транзистора. На этом этапе достигается самосовмещение стоков, истоков и затворов.

**5 этап.**

Заключительный этап формирования схемы. На нем осуществляются:
- литография под металлизацию к стокам и истокам транзисторов
- нанесение фосфор силикатного стекла (ФСС). ФСС предотвращает диффузию ионов натрия, сглаживает рельеф поверхности, производит дополнительную активацию примеси.
- формируется пассивирующий диэлектрический слой (окисел или плазмохимический нитрид кремния)

**3. СБИС программируемой логики (ПЛ.)**

Отечественным производителям электронной техники трудно конкурировать с зарубежными фирмами в области массового производства товаров широкого потребления. Однако в области разработки и создания сложной наукоемкой продукции в России сохранились условия, кадры, научный потенциал. Большое число предприятий и учреждений способно разрабатывать уникальные электронные устройства. Высокотехнологичным "сырьем" для таких разработок в области цифровой электроники служат легко доступные на отечественном рынке электронные компоненты: микропроцессоры, контроллеры, СБИС памяти и др. - все, что позволяет решать задачи специальной обработки сигналов и вычислений программным путем (со свойственными программной реализации достоинствами и недостатками). Микропроцессорная техника давно и прочно укоренилась в отечественных разработках. Однако в последние годы появилась новая элементная база - СБИС программируемой логики (programmable logic device - PLD), которая, удачно дополняя и заменяя микропроцессорные средства, в ближайшие годы станет "настольным материалом" для разработчиков. СБИС ПЛ оказываются вне конкуренции в областях, где требуется создание высокопроизводительных специализированных устройств, ориентированных на аппаратную реализацию. Аппаратное решение задач обеспечивает распараллеливание процесса обработки и увеличивает производительность в десятки раз по сравнению с программным решением, а использование СБИС ПЛ, в отличие от специализированных СБИС, обеспечивает такую же гибкость реализации, как у любых программных решений. В последние годы динамика развития и производства СБИС ПЛ. уступает только микросхемам памяти и превышает 50% в год.

СБИС ПЛ представляют собой полузаказную СБИС и включают реализованные на кристалле универсальные настраиваемые пользователем функциональные преобразователи и программируемые связи между этими преобразователями. По сравнению с базовыми матричными кристаллами (БМК) использование СБИС ПЛ обеспечивает существенно более короткий цикл разработки, экономический выигрыш при мелкосерийном (до нескольких тысяч изделий) производстве и возможность внесения изменений в проект на любом этапе разработки. Заказную СБИС или БМК разработают для Вашего уникального проекта за несколько месяцев. Но только на СБИС ПЛ Вы запрограммируете его сами за кратчайшее время и с минимальными затратами. Разработчик специализированного цифрового устройства, используя средства САПР СБИС ПЛ, в привычной ему форме (схемы, текстовое описание) задает требуемое устройство и получает программирующий СБИС ПЛ файл, который используется при программировании на программаторе или непосредственно на плате. Программирование заключается в задании нужных свойств функциональным преобразователям и установлении необходимых связей между ними. Программируемые элементы - электронные ключи. Такой цикл проектирования/изготовления занимает незначительное время, изменения могут вноситься на любой стадии разработки за считанные минуты, а внедрение новых средств проектирования на начальном этапе практически не требует материальных затрат.

Производители, архитектура и возможности существующих в настоящее время типов СБИС ПЛ разнообразны. Систематизация микросхем гибкой логики производится обычно по следующим классификационным признакам:

степень интеграции (логическая емкость);

архитектура функционального преобразователя;

организация внутренней структуры СБИС и структуры матрицы соединений функциональных преобразователей;

тип используемого программируемого элемента;

наличие внутренней оперативной памяти.

Степень интеграции (логическая емкость) - наиболее важная характеристика СБИС ПЛ, по которой осуществляется выбор. Производители СБИС ПЛ стоят на передовых рубежах электронной технологии (текущая рабочая проектная норма составляет 0,25 мкм), и число транзисторов в СБИС ПЛ большой емкости составляет десятки миллионов. Но ввиду избыточности структур, включающих большое число коммутирующих транзисторов, логическую емкость измеряют в эквивалентных логических вентилях типа 2И-НЕ (2ИЛИ-НЕ), которые понадобилось бы для реализации устройств той же сложности, что и на соответствующих СБИС.

 Основные производители СБИС ПЛ - фирмы Altera (34% мирового объема продаж), Xilinx (33%), Actel (9%). Максимальная логическая емкость достигнута в настоящее время в СБИС ПЛ, выпускаемых фирмой Altera (семейства FLEX10K), и составляет 250000 логических вентилей, а к концу 1998 г. достигнет 1 миллиона (количественные данные приведены по состоянию на 01.06.98 г.).

Функциональные преобразователи СБИС ПЛ включают в себя настраиваемые средства реализации логических функций и триггер (т.е. являются простым конечным автоматом). Наиболее часто логические функции реализуются в виде суммы логических произведений (sum of product) либо на шестнадцатибитных ПЗУ (таблицы перекодировки). СБИС ПЛ с функциональными преобразователями на базе сумм термов, позволяют проще реализовывать сложные логические функции, а на базе таблиц перекодировки создавать насыщенные триггерами устройства.

Организация внутренней структуры СБИС и структуры матрицы соединений функциональных преобразователей - основной отличительный признак различных СБИС ПЛ. На рис.3 показано разделение наиболее популярных СБИС ПЛ по этим признакам.

Большинство фирм выпускает сложные СБИС ПЛ, располагая функциональные преобразователи в горизонтальных рядах и вертикальных столбцах в виде квадратной матрицы на площади кристалла, тогда как связи между преобразователями выполняются в виде проводников, разделенных на отдельные участки (сегменты) электронными ключами. Такая одноуровневая структура получила название FPGA (Field Programmable Gate Array). Иерархическая (многоуровневая) организация СБИС ПЛ позволяет улучшить их технические характеристики. При многоуровневой организации функциональные преобразователи группируются в блоки (например, в СБИС семейств FLEX10K фирмы Altera в логический блок входит 8 функциональных преобразователей), имеющие свою собственную локальную шину межсоединений. Блоки обмениваются сигналами друг с другом через шины межсоединений верхнего уровня. Структура такого типа показана на рис.4. Проводники межсоединений изготавливаются непрерывными (т.е. без разделения на сегменты электронными ключами), что обеспечивает малые задержки распространения сигналов и позволяет существенно сократить количество электронных ключей. Кроме того, непрерывные линии межсоединений обеспечивают возможность взаимной замены логических блоков без изменения временной модели устройства, что существенно ускоряет процедуру размещения проекта на кристалле и упрощает временное моделирование.

Тип используемого программируемого элемента - электронного ключа, определяет возможности СБИС ПЛ. по программированию, перепрограммированию и хранению конфигурации при отключении питания. Наиболее перспективны программируемые элементы, выполненные по EEPROM и FLASH технологии (полевые транзисторы с плавающим затвором), обеспечивающие энергонезависимое хранение конфигурации и многократное перепрограммирование (в том числе и распаянной микросхемы непосредственно на плате), и элементы, выполненные по SRAM технологии, т.е. представляющие собой электронный ключ и триггер оперативной памяти, в который при включении питания должна быть записана конфигурирующая информация. SRAM - технология обеспечивает меньшее энергопотребление и позволяет реконфигурировать СБИС ПЛ за десятки миллисекунд, обеспечивая исходную загрузку конфигурирующей памяти и, при необходимости, реконфигурирование <налету> для адаптации структуры реализуемого устройства. Особое место занимает ряд семейств СБИС ПЛ, выпускаемых фирмой Actel и имеющих программируемые элементы - antifuse, представляющие собой pn - переходы, пробиваемые при программировании. Эти СБИС ПЛ имеют высокую стойкость к хранению конфигурации при спецвоздействиях, но не получили широкого распространения в силу их высокой стоимости и однократности программирования.

Наличие внутренней оперативной памяти дает пользователю СБИС ПЛ. дополнительные возможности при разработке цифровых систем. СБИС ПЛ. с внутренней памятью выпускаются фирмами Altera (семейства FLEX10K), Atmel (семейство AT40K), Xilinx (семейства XC4000). Организация внутренней памяти в СБИС ПЛ различных производителей различна. В семействе FLEX10K фирмы Altera - это крупные выделенные модули памяти объемом 2 Кбит, в СБИС других производителей - распределенные по кристаллу небольшие блоки. Например, в СБИС фирмы Xilinx - теневые ОЗУ таблиц перекодировки объемом 32 бита, в СБИС ПЛ фирмы Atmel - расположенные в узлах матрицы межсоединений блоки памяти объемом 32х4 бита.

Возможности СБИС ПЛ чрезвычайно широки и удовлетворяют различным требованиям разработчиков цифровых устройств. На рис.8 показаны семейства СБИС ПЛ, выпускаемых фирмой Altera - лидером в производстве СБИС ПЛ. Семейства FLEX (SRAM технология конфигурирующих элементов) выпускаются в корпусах с числом выводов до 600, требуют загрузки конфигурации каждый раз при включении питания или при необходимости внесения изменений в функционирование СБИС, но обладают существенно большей логической емкостью по сравнению с энергонезависимыми семействами MAX и меньшим энергопотреблением на функциональный преобразователь. Семейства MAX могут обеспечить задержку сигнала до 5 нс., в то время как у семейств FLEX эта задержка не менее 8 нс. Наиболее перспективными семействами СБИС ПЛ фирмы Altera являются FLEX10K, FLEX6000, МАХ7000S,A.

### 4. МИКРОПРОЦЕССОРЫ

По числу больших интегральных схем (БИС) в микропроцессорном комплекте различают микропроцессоры однокристальные, многокристальные и многокристальные секционные.

Процессоры даже самых простых ЭВМ имеют сложную функциональную структуру, содержат большое количество электронных элементов и множество разветвленных связей. Изменять структуру процессора необходимо так, чтобы полная принципиальная схема или ее части имели количество элементов и связей, совместимое с возможностями БИС. При этом микропроцессоры приобретают внутреннюю магистральную архитектуру, т. е. в них к единой внутренней информационной магистрали подключаются все функциональные основные блоки (арифметико-логический, рабочих регистров, стека, прерываний, интерфейса, управления и синхронизации и др.).

Для обоснования классификации микропроцессоров по числу БИС надо распределить все аппаратные блоки процессора между основными тремя функциональными частями: операционной, управляющей и интерфейсной. Сложность операционной и управляющей частей процессора определяется их разрядностью, системой команд и требованиями к системе прерываний; сложность интерфейсной части разрядностью и возможностями подключения других устройств ЭВМ (памяти, внешних устройств, датчиков и исполнительных механизмов и др.). Интерфейс процессора содержит несколько десятков информационных шин данных (ШД), адресов (ША) и управления (ШУ).

Однокристальные микропроцессоры получаются при реализации всех аппаратных средств процессора в виде одной БИС или СБИС (сверхбольшой интегральной схемы). По мере увеличения степени интеграции элементов в кристалле и числа выводов корпуса параметры однокристальных микропроцессоров улучшаются. Однако возможности однокристальных микропроцессоров ограничены аппаратными ресурсами кристалла и корпуса. Для получения многокристального микропроцессора необходимо провести разбиение его логической структуры на функционально законченные части и реализовать их в виде БИС (СБИС). Функциональная законченность БИС многокристального микропроцессора означает, что его части выполняют заранее определенные функции и могут работать автономно.

На рис. 1.а показано функциональное разбиение структуры процессора при создании трехкристального микропроцессора (пунктирные линии), содержащего БИС операционного (ОП), БИС управляющего (УП) и БИС интерфейсного (ИП) процессоров.

Рис. 1. Функциональная структура процессора (а) и ее разбиение для реализации процессора в виде комплекта секционных БИС.

Операционный процессор служит для обработки данных, управляющий процессор выполняет функции выборки, декодирования и вычисления адресов операндов и также генерирует последовательности микрокоманд. Автономность работы и большое быстродействие БИС УП позволяет выбирать команды из памяти с большей скоростью, чем скорость их исполнения БИС ОП. При этом в УП образуется очередь еще не исполненных команд, а также заранее подготавливаются те данные, которые потребуются ОП в следующих циклах работы. Такая опережающая выборка команд экономит время ОП на ожидание операндов, необходимых для выполнения команд программ. Интерфейсный процессор позволяет подключить память и периферийные средства к микропроцессору; он, по существу, является сложным контроллером для устройств ввода/вывода информации. БИС ИП выполняет также функции канала прямого доступа к памяти.

Выбираемые из памяти команды распознаются и выполняются каждой частью микропроцессора автономно и поэтому может быть обеспечен режим одновременной работы всех БИС МП, т.е. конвейерный поточный режим исполнения последовательности команд программы (выполнение последовательности с небольшим временным сдвигом). Такой режим работы значительно повышает производительность микропроцессора.

Многокристальные секционные микропроцессоры получаются в том случае, когда в виде БИС реализуются части (секции) логической структуры процессора при функциональном разбиении ее вертикальными плоскостями (рис. 1,б). Для построения многоразрядных микропроцессоров при параллельном включении секций БИС в них добавляются средства "стыковки".

Для создания высокопроизводительных многоразрядных микропроцессоров требуется столь много аппаратных средств, не реализуемых в доступных БИС, что может возникнуть необходимость еще и в функциональном разбиении структуры микропроцессора горизонтальными плоскостями. В результате рассмотренного функционального разделения структуры микропроцессора на функционально и конструктивно законченные части создаются условия реализации каждой из них в виде БИС. Все они образуют комплект секционных БИС МП.

Таким образом, микропроцессорная секция это БИС, предназначенная для обработки нескольких разрядов данных или выполнения определенных управляющих операций. Секционность БИС МП определяет возможность "наращивания" разрядности обрабатываемых данных или усложнения устройств управления микропроцессора при "параллельном" включении большего числа БИС.

Однокристальные и трехкристальные БИС МП, как правило, изготовляют на основе микроэлектронных технологий униполярных полупроводниковых приборов, а многокристальные секционные БИС МП на основе технологии биполярных полупроводниковых приборов. Использование многокристальных микропроцессорных высокоскоростных биполярных БИС, имеющих функциональную законченность при малой физической разрядности обрабатываемых данных и монтируемых в корпус с большим числом выводов, позволяет организовать разветвление связи в процессоре, а также осуществить конвейерные принципы обработки информации для повышения его производительности.

По назначению различают универсальные и специализированные микропроцессоры.

Универсальные микропроцессоры могут быть применены для решения широкого круга разнообразных задач. При этом их эффективная производительность слабо зависит от проблемной специфики решаемых задач. Специализация МП, т.е. его проблемная ориентация на ускоренное выполнение определенных функций позволяет резко увеличить эффективную производительность при решении только определенных задач.

Среди специализированных микропроцессоров можно выделить различные микроконтроллеры, ориентированные на выполнение сложных последовательностей логических операций, математические МП, предназначенные для повышения производительности при выполнении арифметических операций за счет, например, матричных методов их выполнения, МП для обработки данных в различных областях применений и т. д. С помощью специализированных МП можно эффективно решать новые сложные задачи параллельной обработки данных. Например, конволюция позволяет осуществить более сложную математическую обработку сигналов, чем широко используемые методы корреляции. Последние в основном сводятся к сравнению всего двух серий данных: входных, передаваемых формой сигнала, и фиксированных опорных и к определению их подобия. Конволюция дает возможность в реальном масштабе времени находить соответствие для сигналов изменяющейся формы путем сравнения их с различными эталонными сигналами, что, например, может позволить эффективно выделить полезный сигнал на фоне шума.

Разработанные однокристальные конвольверы используются в устройствах опознавания образов в тех случаях, когда возможности сбора данных превосходят способности системы обрабатывать эти данные.

По виду обрабатываемых входных сигналов различают цифровые и аналоговые микропроцессоры. Сами микропроцессоры цифровые устройства, однако могут иметь встроенные аналого-цифровые и цифро-аналоговые преобразователи. Поэтому входные аналоговые сигналы передаются в МП через преобразователь в цифровой форме, обрабатываются и после обратного преобразования в аналоговую форму поступают на выход. С архитектурной точки зрения такие микропроцессоры представляют собой аналоговые функциональные преобразователи сигналов и называются аналоговыми микропроцессорами. Они выполняют функции любой аналоговой схемы (например, производят генерацию колебаний, модуляцию, смещение, фильтрацию, кодирование и декодирование сигналов в реальном масштабе времени и т.д., заменяя сложные схемы, состоящие из операционных усилителей, катушек индуктивности, конденсаторов и т.д.). При этом применение аналогового микропроцессора значительно повышает точность обработки аналоговых сигналов и их воспроизводимость, а также расширяет функциональные возможности за счет программной "настройки" цифровой части микропроцессора на различные алгоритмы обработки сигналов.

Обычно в составе однокристальных аналоговых МП имеется несколько каналов аналого-цифрового и цифро-аналогового преобразования. В аналоговом микропроцессоре разрядность обрабатываемых данных достигает 24 бит и более, большое значение уделяется увеличению скорости выполнения арифметических операций.

Отличительная черта аналоговых микропроцессоров способность к переработке большого объема числовых данных, т. е. к выполнению операций сложения и умножения с большой скоростью при необходимости даже за счет отказа от операций прерываний и переходов. Аналоговый сигнал, преобразованный в цифровую форму, обрабатывается в реальном масштабе времени и передается на выход обычно в аналоговой форме через цифро-аналоговый преобразователь. При этом согласно теореме Котельникова частота квантования аналогового сигнала должна вдвое превышать верхнюю частоту сигнала.

Сравнение цифровых микропроцессоров производится сопоставлением времени выполнения ими списков операций. Сравнение же аналоговых микропроцессоров производится по количеству эквивалентных звеньев аналого-цифровых фильтров рекурсивных фильтров второго порядка. Производительность аналогового микропроцессора определяется его способностью быстро выполнять операции умножения: чем быстрее осуществляется умножение, тем больше эквивалентное количество звеньев фильтра в аналоговом преобразователе и тем более сложный алгоритм преобразования цифровых сигналов можно задавать в микропроцессоре.

Одним из направлений дальнейшего совершенствования аналоговых микропроцессоров является повышение их универсальности и гибкости. Поэтому вместе с повышением скорости обработки большого объема цифровых данных будут развиваться средства обеспечения развитых вычислительных процессов обработки цифровой информации за счет реализации аппаратных блоков прерывания программ и программных переходов.

По характеру временной организации работы микропроцессоры делят на синхронные и асинхронные.

Синхронные микропроцессоры - микропроцессоры, в которых начало и конец выполнения операций задаются устройством управления (время выполнения операций в этом случае не зависит от вида выполняемых команд и величин операндов).

Асинхронные микропроцессоры позволяют начало выполнения каждой следующей операции определить по сигналу фактического окончания выполнения предыдущей операции. Для более эффективного использования каждого устройства микропроцессорной системы в состав асинхронно работающих устройств вводят электронные цепи, обеспечивающие автономное функционирование устройств. Закончив работу над какой-либо операцией, устройство вырабатывает сигнал запроса, означающий его готовность к выполнению следующей операции. При этом роль естественного распределителя работ принимает на себя память, которая в соответствии с заранее установленным приоритетом выполняет запросы остальных устройств по обеспечению их командной информацией и данными.

По организации структуры микропроцессорных систем различают микроЭВМ одно - и многомагистральные.

В одномагистральных микроЭВМ все устройства имеют одинаковый интерфейс и подключены к единой информационной магистрали, по которой передаются коды данных, адресов и управляющих сигналов.

В многомагистральных микроЭВМ устройства группами подключаются к своей информационной магистрали. Это позволяет осуществить одновременную передачу информационных сигналов по нескольким (или всем) магистралям. Такая организация систем усложняет их конструкцию, однако увеличивает производительность.

По количеству выполняемых программ различают одно- и многопрограммные микропроцессоры.

В однопрограммных микропроцессорах выполняется только одна программа. Переход к выполнению другой программы происходит после завершения текущей программы.

В много- или мультипрограммных микропроцессорах одновременно выполняется несколько (обычно несколько десятков) программ. Организация мультипрограммной работы микропроцессорных управляющих систем позволяет осуществить контроль за состоянием и управлением большим числом источников или приемников информации.

5. МАТРИЧНЫЕ МИКРОПРОЦЕССОРЫ И АВТОМАТИЗАЦИЯ ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ СБИС НА БАЗЕ МАТРИЦ ВАЙНБЕРГЕРА И ТРАНЗИСТОРНЫХ МАТРИЦ

### 5.1 Матричные микропроцессоры

 Матричные микропроцессоры можно рассмотреть с двух сторон: на уровне транзисторных матриц и матриц процессоров.

 Использование матриц при проектировании процессоров может быть двухсторонним: матрицы транзисторов для проектирования микропроцессоров и матрицы микропроцессоров для проектировании процессорных систем.

 Использование матриц при построении процессорных систем не ограничивается соединением процессоров по конвейерному принципу. Подобную архитектуру можно использовать также и при проектировании ИС с использованием транзисторных матриц, выполненных по МОП-технологии. Рассмотрим оба варианта применения матриц.

### 5.2 Транзисторные матрицы

 Сокращение сроков проектирования микропроцессоров и повышение надежности проектов требуют применения соответствующих систем автоматизации проектирования. Одним из самых перспективных направлений в настоящее время считается подход к сквозной автоматизации проектирования, называемой кремниевой компиляцией, позволяющий исходное задание на проектирование - функциональное описание, представленное на языке высокого уровня, преобразовать в топологические чертежи. Кремниевые компиляторы используют в качестве базовых регулярные матричные структуры, хорошо приспособленные к технологии СБИС. Большое распространение получили программируемые логические матрицы (ПЛМ) и их различные модификации. Они ориентированы на матричную реализацию двухуровневых (И, ИЛИ) логических структур, а также для оптимизации их параметров (площади, быстродействия) известны различные методы. Реализация многоуровневых логических структур СБИС часто опирается на матричную топологию: в этом случае компиляторы генерируют топологию по ее матричному описанию.

 Транзисторные матрицы

 Особым стилем реализации топологии в заказных КМОП СБИС являются транзисторные матрицы. В лэйауте (англ. layout - детальное геометрическое описание всех слоев кристалла) транзисторных матриц все p-транзисторы располагаются в верхней половине матрицы, а все n-транзисторы - в нижней. Транзисторные матрицы имеют регулярную структуру, которую составляют взаимопересекающиеся столбцы и строки. В столбцах матрицы равномерно расположены полосы поликремния, образующие взаимосвязанные затворы транзисторов. По другим полюсам транзисторы соединяются друг с другом сегментами металлических линий, которые размещаются в строках матрицы. Иногда, для того чтобы соединить сток и исток транзисторов, находящихся в различных строках, вводят короткие вертикальные диффузионные связи. В дальнейшем ТМ будет представляться абстрактным лэйаутом.

 Абстрактный лэйаут - схематический рисунок будущего кристалла, где прямоугольники обозначают транзисторы, вертикальные линии - поликремниевые столбцы, горизонтальные - линии металла, штриховые - диффузионные связи, точки - места контактов, стрелки - места подключения транзисторов к линиям Gnd и Vdd. При переходе к послойной топологии стрелки должны быть заменены полосками в диффузионном слое, по которому осуществляются соединения между строками ТМ.

 На рис. 1.а представлена транзисторная схема, а на рис. 1.б - транзисторная матрица, реализующая данную схему.

*Рис 1. Символическое представление топологии транзисторных матриц.*

 Одной из завершающих стадий получения топологии транзисторных матриц является переход от символического лэйаута к топологическому описанию схемы на уровне слоев. Символические лэйауты конструируются путем размещения символов не решетке, которая служит для создания топологии заданной схемы. Каждый символ представляет геометрию, которая может включать любое число масочных уровней. Схемотехника транзисторных матриц позволяет использовать небольшое число различных символов, требуемых для описания лэйаута:

N - n-канальный транзистор;

P - p-канальный транзистор;

+ - надпересечение - металл над диффузией; металл над поликремнием; пересекающиеся вертикальный и горизонтальный металлы;

 - контакт (к поликремнию либо диффузии);

! - p-диффузия;

- n-диффузия, либо поликремний;

: - металл в вертикальном направлении;

 - металл в горизонтальном направлении.

 Каждый символ транзистора соответствует транзистору минимального размера. Однако ширина канала может увеличиваться многократным повторением символа. Только один символ «+» требуется для того, чтобы обозначить пересечение всех трех уровней взаимосвязей: а именно, металл над диффузией, металл над поликремнием и пересекающийся вертикальный и горизонтальный металлы. Символ контакта «» используется для того, чтобы определить контакт металла к поликремнию или диффузии. Символ «» используется для представления либо поликремневых, либо n-диффузионных проводников. Символ для диффузии p-типа «!» требуется для различия ее от диффузии n-типа, которая может существовать в том же столбце. Символы для металла «:» либо «-» обозначают вертикальные или горизонтальные линии металла соответственно.

 Если логическая схема построена на базе элементов, для которых нет транзисторных описаний в библиотеках, то возникает сложная задача получения требуемых представлений схемы, особенно, когда имеются дополнительные требования к параметрам - площади, быстродействию и т.д. Задача перехода от логического описания комбинационной логики в одном базисе к описанию в другом базисе в настоящее время решается по нескольким направлениям.

Глобальная оптимизация. Сначала осуществляется переход к системе нормальных дизъюнктивных форм (ДНФ), которая обычно минимизируется, а затем представляется в виде многоуровневой логической сети, реализуемой в требуемом базисе. Основная оптимизация ведется при построении многоуровневой сети - обычно это сеть в базисе И, ИЛИ, НЕ, а основным критерием сложности является критерий числа литералов (букв) в символическом (алгебраическом) представлении булевых функций. Методы оптимизации опираются либо на функциональную декомпозицию, либо на факторизацию (поиск общих подвыражений) в алгебраических скобочных представлениях функций, реализуемых схемой. Заключительный этап - реализацию в требуемом базисе принято называть технологическим отображением. Именно на этом этапе можно оценить максимальную задержку схемы - задержку вдоль критического пути. Предполагается, что в узлах схемы установлены базисные элементы.

Локальная оптимизация. Замена одних базисных логических операторов другими осуществляется путем анализа локальной области схемы. Поиск фрагментов и правила их замены другими может осуществляться с помощью экспертной системы. Так, например, устроена система LSS.

#### 5.3 Матричные процессоры

 Матричные процессоры наилучшим образом ориентированы на реализацию алгоритмов обработки упорядоченных (имеющих регулярную структуру) массивов входных данных. Они появились в середине 70-х годов в виде устройств с фиксированной программой, которые могли быть подключены к универсальным ЭВМ; но к настоящему времени в их программирования достигнута высокая степень гибкости. Зачастую матричные процессоры используются в качестве вспомогательных процессоров, подключенных к главной универсальной ЭВМ. В большинстве матричных процессоров осуществляется обработка 32-х разрядных чисел с плавающей запятой со скоростью от 5000000 до 50000000 флопс. Как правило они снабжены быстродействующими портами данных, что дает возможность для непосредственного ввода данных без вмешательства главного процессора. Диапазон вариантов построения матричных процессоров лежит от одноплатных блоков, которые вставляются в существующие ЭВМ, до устройств, конструктивно оформленных в виде нескольких стоек, которые по существу представляют собой конвейерные суперЭВМ.

 Типичными видами применения матричных процессоров является обработка сейсмической и акустической информации, распознавание речи; для этих видов обработки характерны такие операции, как быстрое преобразование Фурье, цифровая фильтрация и действия над матрицами. Для построения относительно небольших более экономичных в работе матричных процессоров используются разрядно модульные секции АЛУ в сочетании с векторным процессором, основанном на основе биполярного СБИС-процессора с плавающей запятой.

 Вероятно, в будущем матричные процессоры будут представлять собой матрицы процессоров, служащие для увеличения производительности процессоров сверх пределов, установленных шинной архитектурой.

 Для реализации обработки сигналов матрицы МКМД могут быть организованы в виде систолических или волновых матриц.

 Систолическая матрица состоит из отдельных процессорных узлов, каждый из которых соединен с соседними посредством упорядоченной решетки. Большая часть процессорных элементов располагает одинаковыми наборами базовых операций, и задача обработки сигнала распределяется в матричном процессоре по конвейерному принципу. Процессоры работают синхронно, используя общий задающий генератор тактовых сигналов, поступающий на все элементы.

 В волновой матрице происходит распределение функций между процессорными элементами, как в систолической матрице, но в данном случае не имеет места общая синхронизация от задающего генератора. Управление каждым процессором организуется локально в соответствии с поступлением необходимых входных данных от соответствующих соседних процессоров. Результирующая обрабатывающая волна распространяется по матрице по мере того, как обрабатываются входные данные, и затем результаты этой обработки передаются другим процессорам в матрице.

5.4 Автоматизация проектирования цифровых СБИС на базе матриц Вайнбергера и транзисторных матриц

 Все большую долю в общем объеме ИС составляют заказные цифровые ИС, выполненные в основном, по Моп-технологии. Сокращение сроков проектирования и повышение надежности проектов требуют применения соответствующих систем автоматического проектирования. Одним из самых перспективных направлений в настоящее время считается подход к сквозной автоматизации проектирования, называемой кремниевой компиляцией, позволяющей исходное задание на проектирование - функциональное описание, представленное на языке программирования высокого уровня, преобразовать в топологические чертежи. Кремниевые компиляторы используют в качестве базовых регулярные матричные структуры, хорошо приспособленные к технологии СБИС. Большое распространение получили программируемые логические матрицы (ПЛМ) и их различные модификации. Они ориентированы на матричную реализацию двухуровневых (И, ИЛИ) логических структур, а также для оптимизации их параметров (площади, быстродействия) известны различные методы.

Заключительный этап - реализацию в требуемом базисе принято называть технологическим отображением. Именно на этом этапе можно оценить максимальную задержку схемы - задержку вдоль критического пути. Предполагается, что в узлах схемы установлены базисные элементы.

Локальная оптимизация. Замена одних базисных логических операторов другими осуществляется путем анализа локальной области схемы. Поиск фрагментов и правила их замены другими может осуществляться с помощью экспериментальной системы. Так, например, устроена система LSS.

 Оптимизация МВ на логическом уровне представляет более простую задачу. На этом этапе обычно минимизируется число операторов f = k1 V ... V kl - по существу число столбцов МВ. Минимизация числа строк происходит на этапе топологического проектирования.

 Заключая данный раздел, можно сказать, что актуальной проблемой является проблема разработки методов оптимизации многоуровневых структур с учетом последующей базовой топологической реализации. Проблема осложняется тем, что нужно выработать еще соответствующие критерии оптимизации. Если для ПЛМ критерий минимальности числа термов адекватен сложности последующей топологической реализации, то для МВ и, особенно для ТМ, типичной дилеммой при минимизации площади является следующая - провести дополнительную связь, либо установить дополнительный элемент. Может оказаться так, что сильная связность схемы может быть неприемлемой из-за больших затрат площади кристалла под соединения элементов.

 В обзоре представлены основные подходы к проектированию структур заказных цифровых СБИС на базе основных моделей матриц Вайнбергера и транзисторных матриц.

 Модификация основной модели МВ, когда снимаются требования подключения каждого столбца к линии «земли»; реализация каждой переменной только в одной стоке матрицы; невозможности дублирования линий «земли» и нагрузки; приводит к новым формальным постановкам задач оптимизации параметров МВ, хотя и для основной модели не все проблемы решены - открыта, например, проблема синтеза МВ с заданным быстродействием.

 Таким образом, важнейшими проблемами, решаемыми в настоящее время для МВ и ТМ, являются проблемы разработки формальных методов синтеза, которые позволяли бы гибко оптимизировать такие характеристики, как площадь, быстродействие, габариты, электрические параметры схем. Данные проблемы в настоящее время актуальны не только для МВ и ТМ - подобные проблемы находятся в центре внимания разработчиков САПР заказных цифровых СБИС и применительно к другим базовым структурам.

Матричные процессоры наилучшим образом ориентированы на реализацию алгоритмов обработки упорядоченных (имеющих регулярную структуру) массивов входных данных. Они появились в середине 70-ых годов в виде устройств с фиксированной программой, которые могли быть подключены к универсальным ЭВМ; но к настоящему времени в их программировании достигнута высокая степень гибкости. Зачастую матричные процессоры используются в качестве вспомогательных процессоров, подключаемых к главной универсальной ЭВМ. В большинстве матричных процессоров осуществляется обработка 32 разрядных циклов с плавающей запятой со скоростью от 5000000 до 50000000 флопс. Как правило, они снабжены быстродействующими портами данных, что дает возможность для непосредственного ввода данных без вмешательства главного процессора. Диапазон вариантов построения матричных процессоров лежит от одноплатных блоков, которые вставляются в существующие ЭВМ до устройств, конструктивно оформленных в виде нескольких стоек, которые по существу представляют собой конвейерные суперЭВМ.

 Типичными видами применения матричных процессоров является обработка сейсмической и акустической информации, распознавание речи; для этих видов обработки характерны такие операции, как быстрое преобразование Фурье, цифровая фильтрация и действия над матрицами. Для построения относительно небольших более экономичных в работе матричных процессоров используются разрядно-модульные секции АПУ в сочетании с векторным процессором, реализованным на основе биполярного СБИС-процессора с плавающей запятой.

 Вероятно, в будущем матричные процессоры будут представлять собой матрицы процессоров, служащие для увеличения производительности процессоров сверх пределов, установленных шинной архитектурой.

Главным архитектурным различием между традиционными ЭВМ, предназначенными для обработки научной и коммерческой информации, является то, что последние (мини-, супермини -, универсальные и мега универсальные ЭВМ) имеют главным образом скалярную архитектуру, а машины для научных расчетов (супер-, мини супер-ЭВМ и матричные процессоры) - векторную. Скалярная ЭВМ имеет традиционную фон-неймановскую, то есть SISD-организацию, для которой характерно наличие одной шины данных и последовательное выполнение обработки одиночных элементов данных. Векторная машина имеет в своем составе раздельные векторные процессоры или конвейеры, и одна команда выполняется в ней над несколькими элементами данных (векторами)

 Векторные архитектуры - это в основном архитектуры типа SISD, но некоторые из них могут относиться к классу MIMD. Векторная обработка увеличивает производительность процессорных элементов, но не требует наличия полного параллелизма в ходе обработки задачи.

 Для реализации обработки сигналов матрицы МЛМД могут быть реализованы в виде систолических или волновых матриц.

 Систолическая матрица состоит из отдельных процессорных узлов, каждый из которых соединен с соседним посредством упорядоченной решетки. Большая часть процессорных элементов располагает одинаковыми наборами базовых операций, и задача обработки сигнала распределяется в матричном процессоре по конвейерному принципу. Процессоры работают синхронно, используя общий задающий генератор тактовых сигналов, поступающий на все элементы.

 В волновой матрице происходит распределение функций между процессорными элементами, как в систолической матрице, но в данном случае не имеет места общая синхронизация от задающего генератора. Управление каждым процессором организуется локально в соответствии с поступлением необходимых входных данных от соответствующих соседних процессоров. Результирующая обрабатывающая волна распространяется по матрице по мере того, как обрабатываются входные данные, и затем результаты этой обработки передаются другим процессорам в матрице.

 МКМД (множественный поток команд, множественный поток данных.) Множественный поток команд предполагает наличие нескольких процессорных узлов и, следовательно, нескольких потоков данных. Примерами такой архитектуры являются мультипроцессорные матрицы.

 Транспьютер Inmos Т414 предназначен для построения МКМД структур; для обмена информацией с соседними процессорами в нем предусмотрены четыре быстродействующие последовательных канала связи. Имеется встроенная память большой емкости, которая может быть подключена к интерфейсу шины памяти. Разрядность местной памяти каждого транспьютера наращивает разрядность памяти системы; таким образом, полная разрядность памяти пропорциональна количеству транспьютеров в системе. Суммарная производительность также возрастает прямо пропорционально числу входящих в систему транспьютеров.

 В дополнение к параллельной обработке, реализуемой транспьютерами, предусмотрены специальные команды для разделения процессорного времени между одновременными процессорами и обмена информацией между процессорами. Хотя программирование транспьютеров может выполняться на обычных языках высокого уровня, для повышения эффективности параллельной обработки был разработан специальный язык Okkam.

 Транзисторные матрицы (ТМ) являются одной из популярных структур для проектирования топологии макроэлементов заказных цифровых СБИС, выполняемых по КМОП - технологии, ТМ имеют регулярную матричную топологию, получение которой может быть автоматизировано, что привлекает к ним разработчиков кремниевых компиляторов. Известные методы проектирования ТМ ориентированы на минимизацию площади кристалла, занимаемую информационными транзисторами, и оставляет в стороне вопрос о минимизации площади, требуемой для разводки шин «земли» (Gnd) и «питания» (Vdd). В данной статье предлагается метод минимизации числа шин Gnd и Vdd в ТМ, после того, как ее площадь была минимизирована с помощью методов [4,5].

Структура ТМ.

 В лэйауте (англ. layout - детальное геометрическое описание всех слоев кристалла) транзисторных матриц все p-транзисторы располагаются в верхней половине матрицы, а все n-транзисторы - в нижней. Транзисторные матрицы имеют регулярную структуру, которую составляют взаимопересекающиеся столбцы и строки. В столбцах матрицы равномерно расположены полосы поликремния, образующие взаимосвязанные затворы транзисторов. По другим полюсам транзисторы соединяются друг с другом сегментами металлических линий, которые размещаются в строках матрицы. Иногда, для того чтобы соединить сток и исток транзисторов, находящихся в различных строках, вводят короткие вертикальные диффузионные связи. В дальнейшем ТМ будет представляться абстрактным лэйаутом.

 Абстрактный лэйаут - схематический рисунок будущего кристалла, где прямоугольники обозначают транзисторы, вертикальные линии - поликремневые столбцы, горизонтальные - линии металла, штриховые - диффузионные связи, точки - места контактов, стрелки - места подключения транзисторов к линиям Gnd и Vdd. При переходе к послойной топологии стрелки должны быть заменены полосками в диффузионном слое, по которому осуществляются соединения между строками ТМ. Очевидно, что подведению вертикальных связей к линиям Gnd, Vdd могут препятствовать транзисторы, расположенные в других строках транзисторной матрицы, либо расположенные в тех же столбцах диффузионные связи между строками (горизонтальные линии металла не являются препятствием). Вследствие этого приходится размещать несколько линий Gnd в n-части ТМ и несколько линий Vdd в p-части ТМ. Возникает задача минимизации числа этих линий. Будем рассматривать ее только для n-части ТМ, задача минимизации числа линий Vdd для p-части ТМ решается аналогичным образом.

 Пример абстрактного лэйаута для КМОП-схемы рис. 1.а показан на рис. 1.б.

рис 1.

 Пусть транзисторная матрица размером n на m задана абстрактным лэйаутом. Представим последний троичной матрицей S размером n на 2m, поставим ее строки в соответствие строкам ТМ, а пары соседних столбцов - столбцам ТМ. Таким образом, каждый элемент матрицы S представляет некоторую позицию лэйаута и получает значение 1, если там стоит стрелка, значение 0 - если там не показан ни транзистор, ни диффузионная связь, и значение \* - в остальных случаях. Легко видеть, что значение \* свидетельствует о невозможности проведения через данную точку диффузионной связи от стока некоторого транзистора к линии Gnd.

 Например, для абстрактного лэйаута ТМ (рис. 1.б.) матрица S имеет вид:

1 2 3 4 5 6 7 8 9 10 11 12 13 14

 S1 \* 1 0 0 \* \* \* \* 0 0 0 0 \* \*

 S2 1 \* 1 \* \* \* 0 0 1 \* 0 0 0 \*

 S = S3 1 \* \* 1 0 0 0 0 0 0 0 0 \* 1

 S4 0 0 0 0 1 \* 0 0 0 0 0 0 \* \*

 S5 1 \* \* \* 0 0 \* 1 0 0 0 0 0 \*

**6. АВТОМАТИЗИРОВАННОЕ ПРОЕКТИРОВАНИЕ СБИС НА БАЗОВЫХ МАТРИЧНЫХ КРИСТАЛЛАХ, СТАНДАРТНЫЕ И ПОЛУЗАКАЗНЫЕ ИС, БАЗОВЫЕ КРИСТАЛЛЫ И ТИПОВЫЕ ЭЛЕМЕНТЫ**

Характерной тенденцией развития элементной базы современной электронно-вычислительной аппаратуры является быстрый рост степени интеграции. В этих условиях актуальной становится проблема ускорения темпов разработки узлов аппаратуры, представляющих собой БИС и СБИС. При решении данной проблемы важно учитывать существование двух различных классов интегральных схем: стандартных (или крупносерийных) и заказных. К первым относятся схемы, объем производства которых достигает миллионов штук в год. Поэтому относительно большие затраты на их проектирование и конструирование оправдываются. Этот класс схем включает микропроцессоры, различного вида полупроводниковые устройства памяти (ПЗУ, ОЗУ и т.д.), серии стандартных микросхем и др. Схемы, принадлежащие ко второму классу, при объеме производства до нескольких десятков тысяч в год, выпускаются для удовлетворения нужд отдельных отраслей промышленности. Значительная часть стоимости таких схем определяется затратами на их проектирование.

Основным средством снижения стоимости проектирования и, главное, ускорения темпов разработки новых видов микроэлектронной аппаратуры являются системы автоматизированного проектирования (САПР). В результате совместных действий конструкторов, направленных на уменьшение сроков и снижение стоимости проектирования БИС и СБИС, появились так называемые полузаказные интегральные микросхемы, в которых топология в значительной степени определяется унифицированной конструкцией кристалла. Первые схемы, которые можно отнести к данному классу, появились в 60‑х годах. Они изготавливались на унифицированном кристалле с фиксированным расположением функциональных элементов. При этом проектирование заключалось в назначении функциональных элементов схемы на места расположения соответствующих функциональных элементов кристалла и проведении соединений. Такой кристалл получил название базового, поскольку все фотошаблоны (исключая слои коммутации) для его изготовления являются постоянными и не зависят от реализуемой схемы. Эти кристаллы, однако, нашли ограниченное применение из-за неэффективного использования площади кристалла, вызванного фиксированным положением функциональных элементов на кристалле.

Для частичной унификации топологии интегральных микросхем (ИС) использовалось также проектирование схем на основе набора типовых ячеек. В данном случае унификация состояла в разработке топологии набора функциональных (типовых ячеек, имеющих стандартизованные параметры (в частности, разные размеры по вертикали). Процесс проектирования при этом заключался в размещении в виде горизонтальных линеек типовых ячеек, соответствующих функциональным элементам схемы, в размещении линеек на кристалле и реализации связей, соединяющих элементы, в промежутках между линейками. Ширина таких промежутков, называемых каналами, определяется в процессе трассировки. Отметим, что хотя в данном случае имеет место унификация топологии, кристалл не является базовым, поскольку вид всех фотошаблонов определяется в ходе проектирования.

Современные полузаказные схемы реализуются на базовом матричном кристалле (БМК), содержащем не соединенные между собой простейшие элементы (например, транзисторы), а не функциональные элементы как в рассмотренном выше базовом кристалле. Указанные элементы располагаются на кристалле матричным способом (в узлах прямоугольной решетки). Поэтому такие схемы часто называют матричными БИС. Как и в схемах на типовых ячейках топология набора логических элементов разрабатывается заранее. Однако в данном случае топология логического элемента создается на основе регулярно расположенных простейших элементов. Поэтому в ходе проектирования логическими элемент может быть размещен в любом месте кристалла, а для создания всей схемы требуется изготовить только фотошаблоны слоев коммутации. Основные достоинства БМК, заключающиеся в снижении стоимости и времени проектирования, обусловлены: применением БМК для проектирования и изготовления широкого класса БИС; уменьшением числа детализированных решений в ходе проектирования БИС; упрощением контроля и внесения изменений в топологию; возможностью эффективного использования автоматизированных методов конструирования, которая обусловлена однородной структурой БМК.

Наряду с отмеченными достоинствами БИС на БМК не обладают предельными для данного уровня технологии параметрами и, как правило, уступают как заказным, так и стандартным схемам. При этом следует различать технологические параметры интегральных микросхем и функциональных узлов (устройств), реализованных на этих микросхемах. Хотя технологические параметры стандартных микросхем малой и средней степени интеграции наиболее высоки, параметры устройств, реализованных на их основе, оказываются относительно низкими.

**6.1 Основные типы БМК**

Базовый кристалл представляет собой многослойную прямоугольную пластину фиксированных размеров, на которой выделяют периферийную и внутреннюю области (рис. 1). В периферийной области располагаются внешние контактные площадки (ВКП) для осуществления внешнего подсоединения и периферийные ячейки для реализации буферных схем (рис. 2). Каждая внешняя ячейка связана с одной ВКП и включает диодно-транзисторную структуру, позволяющую реализовать различные буферные схемы за счет соответствующего соединения элементов этой структуры. В общем случае в периферийной области могут находиться ячейки различных типов. Причем периферийные ячейки могут располагаться на БМК в различных ориентациях (полученных поворотом на угол, кратный 90', и зеркальным отражением). Под базовой ориентацией ячейки понимают положение ячейки, расположенной на нижней стороне кристалла.

 ├──┐
 ┌──────────────┐ ├┐ │
 │ Периферийная │ ├┘ │
 │ ┌────────┐ │ ├──┤ ВО
 │ │Внутрен.│ │ ├┐ │
 │ │область │ │ ├┘ │
 │ └────────┘ │ ├──┼─────┬─────┬─────┬───
 │ область │ ПО├─┐│ ┌─┐ │ ┌─┐ │ ┌─┐ │
 └──────────────┘ └─┴┴─┴─┴─┴─┴─┴─┴─┴─┴─┴────

ПЯ   ВКП

рис. 1  рис 2.

Во внутренней области кристалла матричным способом располагаются макроячейки для реализации элементов проектируемых схем (рис. 3). Промежутки между макроячейками используются для электрических соединений. При матричном расположении макроячеек область для трассировки естественным образом разбивается на горизонтальные и вертикальные каналы. В свою очередь в пределах макроячейки матричным способом располагаются внутренние ячейки для реализации логических элементов. Различные способы расположения внутренних ячеек и макроячейках показаны на рис. 4. Причем наряду с размещением ячеек “встык” применяется размещение с зазорами, в которых могут проводиться трассы электрических соединений.

 │ ┌─────── ┌─┬─┐ ┌─┬─┬─┬─┬─┬
 │ └──────── a)├─┼─┤ c)├─┼─┼─┼─┼─┼─
 │ ┌─────────┐ ┌─── └─┴─┘ └─┴─┴─┴─┴─┴─┴
 │ └─────────┘ └─── ┌─┬─┬─┬─┬─┬ ┌─┬┬─┬┬─┬┬─┬┬─┬┬
 │ ┌─────────┐ ┌──── b)└─┴─┴─┴─┴─┴─ d)└─┴┴─┴┴─┴┴─┴┴─
 │ └─────────┘ └────
 └─────────────────── Примеры структур макроячеек.

Структура ВО

рис. 3  рис. 4

Особенностью ячейки является специальное расположение выводов, согласованное со структурой макроячейки. А именно, ячейки размещаются таким образом, чтобы выводы ячеек оказались на периферии макроячейки. Так, в одной из макроячеек выводы каждой ячейки дублируются на верхней и нижней ее сторонах. При этом имеется возможность подключения к любому выводу с двух сторон ячейки, что создает благоприятные условия для трассировки. Последнее особенно важно при проектировании СБИС.

В другой макроячейке выводы ячейки располагаются только на одной стороне, т. е. выводы ячеек верхнего ряда находятся на верхней стороне макроячейки, а нижнего на нижней. Применение таких макроячеек позволяет сократить требуемую площадь кристалла, но приводит к ухудшению условий для трассировки. Поэтому данный тип макроячеек используется лишь при степени интеграции, не превышающей 100 -200 вентилей на кристалл. Отметим, что в некоторых типах БМК, кроме однотипных макроячеек, во внутренней области могут присутствовать специализированные макроячейки, реализующие функциональные типовые узлы (например, запоминающее устройство).

Помимо ячеек, являющихся заготовками для реализации элементов, на БМК могут присутствовать фиксированные части соединений. К ним относятся шины питания, земли, синхронизации и заготовки для реализации частей сигнальных соединений. Например, для макроячеек (b) шины питания и земли проводятся вдоль верхней и нижней сторон соответственно. Для макроячеек (a,d) шины проводятся вдоль линии, разделяющей верхний и нижний ряды ячеек, что приводит к уменьшению потерь площади кристалла. Для реализации сигнальных соединений на БМК получили распространение два вида заготовок: фиксированное расположение однонаправленных (горизонтальных или вертикальных) участков трасс в полном слое; фиксированное расположение участков трасс в одном слое и контрактных окон, обеспечивающих выход фиксированных трасс во второй слой.

В первом случае для реализации коммутации проектируемой схемы не требуется разработка фотошаблона фиксированного слоя, т. е. число разрабатываемых фотошаблонов уменьшается на единицу. Во втором случае число разрабатываемых фотошаблонов уменьшается на два (не требуется также фотошаблон контактных окон). Отметим, что в настоящее время получили распространение различные виды формы и расположения фиксированных трасс и контактных окон. Целесообразность использования того или иного вида определяется типом макроячеек, степенью интеграции кристалла и объемом производства.

При реализации соединений на БМК часто возникает необходимость проведения трассы через область, занятую макроячейкой. Такую трассу будем называть транзитной. Для обеспечения такой возможности допускается: проведение соединения через область, занятую ячейкой, проведение через зазоры между ячейками. Первый способ может применяться, если в ячейке не реализуется элемент, или реализация элемента допускает использование фиксированных трасс и неподключенных выводов для проведения транзитной трассы.

Таким образом, в настоящее время разработано большое многообразие типов БМК, которые имеют различные параметры. При проектировании микросхем на БМК необходимо учитывать конструктивно-технологические характеристики кристалла. К ним относятся геометрические параметры кристалла, форма и расположение макроячеек на кристалле и ячеек внутри макроячеек, расположение шин и способ коммутации сигнальных соединений.

Итак, следует отметить, что задача определения структуры БМК является достаточно сложной, и в настоящее время она решается конструктором преимущественно с использованием средств автоматизации.

**6.2 Реализация логических элементов на БМК**

Выше было показано, что БМК представляет собой заготовку, на которой определенным образом размещены электронные приборы (транзисторы и др.). Следовательно, проектирование микросхемы можно было бы вести и на приборном уровне. Однако этот способ не находит распространения на практике по следующим причинам. Во-первых, возникает задача большой размерности. Во-вторых, учитывая повторяемость структуры частей кристалла и логической схемы, приходится многократно решать однотипные задачи. Поэтому применение БМК предполагает использование библиотеки типовых логических элементов, которая разрабатывается одновременно с конструкцией БМК. В этом отношении проектирование матричных БИС подобно проектированию печатных плат на базе типовых серий микросхем.

Таким образом, при применении БМК проектируемая схема описывается на уровне логических элементов, а каждый элемент содержится в библиотеке. Эта библиотека формируется заранее. Она должна обладать функциональной полнотой для реализации широкого спектра схем. Традиционно подобные библиотеки содержат следующие элементы: И‑НЕ, ИЛИ-НЕ, триггер, входные, выходные усилители и др. Для реализации элемента используется одна или несколько ячеек кристалла, т. е. размеры элемента всегда кратны размерам ячейки. Топология элемента разрабатывается на основе конструкции ячейки и представляет собой совокупность трасс, которые совместно с имеющимися на кристалле постоянными частями реализуют требуемую функцию. Именно описание указанных соединений и хранится в библиотеке.

В зависимости от того, на каких ячейках реализуются элементы, можно выделить внешние (согласующие усилители, буферные схемы и др.) и внутренние, или просто логические элементы. Если внешние элементы имеют форму прямоугольников независимо от типа кристалла, то для логических элементов существует большое разнообразие форм, которое определяется типом макроячеек. Так, для макроячейки,

 ╔════════” ╔════════” ╔═══╤════” ╔════════”
 ║ ║ ║ ║ ║███│ ║ ║████████║
 ╟────┐ ║ ╟────────╢ ║███└────╢ ║████████║
 ║████│ ║ ║████████║ ║████████║ ║████████║
 ╚════╧═══╝ ╚════════╝ ╚════════╝ ╚════════╝

рис. 5

показанной на рис. 4(a), возможные формы элементов приведены на рис. 5.При этом следует иметь в виду, что каждая форма может быть реализована с поворотом относительно центра макроячейки на угол, кратный 90'. Для расширения возможностей наилучшего использования площади кристалла для каждого логического элемента разрабатываются варианты топологии, позволяющие его реализовать в различных частях макроячейки. Поскольку структура макроячейки обладает симметрией, то эти варианты топологии, как правило, могут быть получены из базового вращением относительно осей симметрии.

При проектировании на уровне элементов существенными данными являются форма логического элемента и расположение его выводов (цоколевка).

**6.3 Системы автоматизированного проектирования матричных бис постановка задачи проектирования**

Задача конструирования матричных БИС состоит в переходе от заданной логической схемы к ее физической реализации на основе БМК. При этом исходные данные представляют собой описание логической схемы на уровне библиотечных логических элементов, требования к его функционированию, описание конструкции БМК и библиотечных элементов, а также технологические ограничения. Требуется получить конструкторскую документацию для изготовления работоспособной матричной БИС. Важной характеристикой любой электронной аппаратуры является плотность монтажа. При проектировании матричных БИС плотность монтажа определяется исходными данными. При этом возможна ситуация, когда искомый вариант реализации не существует. Тогда выбирается одна из двух альтернатив: либо матричная БИС проектируется на БМК больших размеров, либо часть схемы переносится на другой кристалл, т. е. уменьшается объем проектируемой схемы.

Основным требованием к проекту является 100%-ная реализация соединений схемы, а традиционным критерием, оценивающими проект, суммарная длина соединений. Именно этот показатель связан с такими эксплуатационными параметрами, как надежность, помехоустойчивость, быстродействие. В целом задачи конструирования матричных БИС и печатных плат родственны, что определяется заранее заданной формой элементов и высоким уровнем унификации конструкций. Вместе с тем имеют место следующие отличия:

-элементы матричных БИС имеют более сложную форму (не прямоугольную);

- наличие нескольких вариантов реализации одного и того же типа элемента;

-позиции для размещения элементов группируются в макроячейки;

-элементы могут содержать проходы для транзитных трасс;

-равномерное распределение внешних элементов по всей периферии кристалла;

-ячейка БМК, не занятая элементом, может использоваться для реализации соединений;

-число элементов матричных БИС значительно превышает значение соответствующего параметра печатных плат.

Перечисленные отличия не позволяют непосредственно использовать САПР печатных плат для проектирования матричных БИС. Поэтому в настоящее время используются и разрабатываются новые САПР, предназначенные для проектирования матричных БИС, а также дорабатываются и модернизируются уже действующие САПР печатных плат для решения новых задач. Реализация последнего способа особенно упрощается, когда в системе имеется набор программ для решения задач теории графов, возникающих при конструировании.

Поскольку трассировка соединений на БМК ведется с заданным шагом на дискретном рабочем поле (ДРП), то необходимо, чтобы выводы элементов попадали в клетки ДРП. Однако внешние выводы макроячеек могут располагаться с шагом, не кратным шагу ДРП. В этом случае используется простой прием введения фиктивных контактных площадок, связанных с внутренними частями ячейки. Если трасса к макроячейке не подходит, то область фиктивной площадки остается свободной.

При разработке САПР БИС на БМК необходимо учитывать требования к системам, диктуемые спецификой решаемой задачи. К ним относятся:

1.Реализация сквозного цикла проектирования от схемы до комплектов машинных документов на изготовление, контроль эксплуатацию матричных БИС.

2.Наличие архива данных о разработках, хранимого на долговременных машинных носителях информации.

3.Широкое применение интерактивных режимов на всех этапах проектирования.

4.Обеспечение работы САПР в режиме коллективного пользования. Учитывая большую размерность задачи проектирования, большинство существующих САПР матричных БИС реализовано на высокопроизводительных ЭВМ. Однако в последнее время все больше зарубежных фирм применяет и мини-ЭВМ.

6.4 Основные этапы проектирования

Процесс проектирования матричных БИС традиционно делится на следующие укрупненные этапы:

1.Моделирование функционирования объекта проектирования.

2.Разработка топологии.

3.Контроль результатов проектирования и доработка.

4.Выпуск конструкторской документации.

Рассмотрим каждый шаг в отдельности. Поскольку матричная БИС является не настраиваемым и неремонтоспособным объектом, то необходимо еще на этапе проектирования обеспечить его правильное функционирование. Достижение этой цели возможно двумя способами: созданием макета матричных БИС на основе дискретных элементов и его испытанием и математическим моделированием. Первый способ связан с большими временными и стоимостными затратами. Поэтому макет используется тогда, когда он специально не разрабатывается, а уже существует (например, при переходе от реализации устройств на печатных платах к матричным БИС). Второй способ требует создания эффективной системы моделирования схем большого размера, так как при моделировании необходимо учитывать схемное окружение матричных БИС, которое по числу элементов во много раз больше самой схемы.

Этап разработки топологии связан с решением следующих задач: размещение элементов на БМК, трассировка соединений, корректировка топологии. Иногда в качестве предварительного шага размещения решается специальная задача компоновки (распределения элементов по макроячейкам). В этом случае возможны различные методы решения задачи размещения. Первый метод состоит в том, чтобы после компоновки размещать группы элементов, соответствующих макроячейкам, а затем размещать элементы внутри каждой макроячейки. При этом критерий оптимальности компоновки включает составляющие, определяемые плотностью заполнения макроячеек и связностью элементов макроячейки. Достоинствами этого метода являются сокращение размерности задачи размещения и сведение исходной задачи к традиционным задачам компоновки и размещения. Возможность применения традиционных методов компоновки предопределяется тем, что условие существования реализации группы элементов в макроячейке для получивших распространение БМК легко выражается через суммарную площадь элементов и отношение совместимости пар элементов. Отметим, что, так как расположение элементов внутри макроячеек существенно влияет на условия трассировки соединений между макроячейками, рассмотренный метод решения задачи размещения для некоторых типов БМК может давать сравнительно низкие результаты.

Другой метод размещения состоит в распределении элементов по макроячейкам с учетом координат макроячеек. В этом случае в ходе компоновки определяются координаты элементов с точностью до размеров макроячеек и появляется возможность учета положения транзитных трасс. Для матричных схем небольшой степени интеграции (до 1000 элементов на кристалле) применяются модификации традиционных алгоритмов размещения и трассировки. Для СБИС на БМК необходима разработка специальных методов.

Задача корректировки топологии возникает в связи с тем, что существующие алгоритмы размещения и трассировки могут не найти полную реализацию объекта проектирования на БМК. Возможна ситуация, когда алгоритм не находит размещение всех элементов на кристалле, хотя суммарная площадь элементов меньше площади ячеек на кристалле. Это положение может быть обусловлено как сложностью формы элементов, так и необходимостью выделения ячеек для реализации транзитных трасс. Задача определения минимального числа макроячеек для размещения элементов сложной формы представляет собой известную задачу покрытия.

Возможность отсутствия полной трассировки обусловлена эвристическим характером применяемых алгоритмов. Кроме того, в отличие от печатных плат навесные проводники в матричных БИС запрещены. Поэтому САПР матричных БИС обязательно включает средства корректировки топологии. При этом в процессе корректировки выполняются следующие операции: выделение линии соединяемых фрагментов; изменение положения элементов и трасс с контролем вносимых изменений; автоматическая трассировки указанных соединений; контроль соответствия результатов трассировки исходной схеме. Уже сейчас актуальной является задача перепроектирования любого фрагмента топологии. Для матричных БИС таким фрагментом может быть канал для трассировки, или макроячейка, в которой варьируется размещение элементов и др. Решение последней задачи, помимо реализации функций проектирования с заданными граничными условиями (определяемыми окружением фрагмента), требует разработки аппарата формирования подсхемы, соответствующей выделенному фрагменту.

На этапе контроля проверяется адекватность полученного проекта исходным данным. С этой целью, прежде всего, контролируется соответствие топологии исходной принципиальной (логической) схеме. Необходимость данного вида контроля обусловлена корректировкой топологии, выполненной разработчиком, поскольку этот процесс может сопровождаться внесением ошибок. В настоящее время известны два способа решения рассматриваемой задачи. Первый сводится к восстановлению схемы по топологии и дальнейшему сравнению ее с исходной. Эта задача близка к проверке изоморфизма графов. Однако на практике для ее решения может быть получен приемлемый по трудоемкости алгоритм ввиду существования фиксированного соответствия между некоторыми элементами сравниваемых объектов. Дополнительная сложность данной задачи связана с тем, что в процессе проектирования происходит распределение инвариантных объектов (например, логически эквивалентных выводов элементов), поэтому для логически тождественных схем могут не существовать одинаковые описания и, следовательно, требуются специальные модели, отображающие инвариантные элементы. В общем случае универсальные модели для представления инвариантных элементов не известны, что и явилось одной из причин развития второго способа, согласно которому проводится повторное логическое моделирование восстановленной схемы.

Функционирование спроектированной схемы мотает отличаться от требуемого не только из-за ошибок, внесенных конструктором, но и в результате образования паразитных элементов. Поэтому для более полной оценки работоспособности матричных БИС при восстановлении схемы по топологии желательно вычислять значения параметров паразитных емкостей и сопротивлений и учитывать их при моделировании на логическом и схемотехническом уровнях.

Существуют причины, по которым перечисленные методы контроля не позволяют гарантировать работоспособность матричных БИС. К ним относятся, например, несовершенства моделей и методов моделирования. Поэтому контроль с помощью моделирования дополняется контролем опытного образца. Для этого на этапе проектирования с помощью специальных программ осуществляется генерация тестов для проверки готовых БИС. Отметим, что при проектировании матричных БИС проведение трудоемкого геометрического контроля не требуется, так как трассировка ведется на ДРП, а топология элементов контролируется при их разработке.

Заключительным этапом проектирования матричных БИС является выпуск конструкторской документации, которая содержит информацию (на соответствующих носителях) для управления технологическими станками-автоматами и сопроводительные чертежи и таблицы, состав и содержание которых регламентируются ГОСТами, а оформление, требованиями ЕСКД. Для автоматизированного выпуска графической и текстовой документации обычно разрабатывается входной язык, который позволяет: компактно и наглядно описывать отдельные фрагменты документа; размещать отдельные фрагменты на площади документа;

### 7. ЗАКЛЮЧЕНИЕ

Технология сверхбольших интегральных схем определяет прогресс в передовых областях науки и техники и является основой для развития высокотехнологичных отраслей отечественной промышленности. Она имеет широкий спектр применений: от бытовой аппаратуры до специализированных устройств оборонной техники. Мировой рынок интегральных схем практически неисчерпаем, что позволит создавать высокорентабельные ориентированные на экспорт производства

В настоящее время основная часть производимых интегральных схем в мире соответствует минимальным рабочим размерам элементов 0,8-1,0 мкм. Ведущие зарубежные фирмы США, Японии и Южной Кореи имеют заводы, выпускающие высокопроизводительные микропроцессоры и ультра большие схемы памяти с минимальными размерами 0,5 мкм.
 В Казахстане имеются пилотные линии для производства кремниевых интегральных схем с минимальными размерами рабочих элементов 0,8-1 мкм. В ближайшее время будет завершено создание производства схем с размерами элементов на уровне 0,5 мкм. Освоение этих линий позволит Казахстану полностью обеспечить внутреннюю потребность кремниевыми схемами отечественного производства сложностью до сотен тысяч транзисторов на кристалле и выйти на мировой рынок.
Создание научно-технического задела в области перспективных технологий и устройств микро и наноэлектроника дает возможность модернизировать производство и расширить объем экспорта отечественных электронных компонентов.

### СПИСОК ИСПОЛЬЗУЕМОЙ ЛИТЕРАТУРЫ

1. Пупышев Алексей Владимирович (проект ''Работай головой'')
2. Фонарев А.А. (''Автоматизированное проектирование СБИС на базовых матричных кристаллах'' Масква 1995 г.)
3. Интернет (Статьи фирмы ‘Altera’, Министерство науки, промышленности и технологий РФ)
4. Ершова Н.Ю., Иващенков О.Н., Курсков С.Ю. (''Микропроцессоры'') Санкт Петербург 2002 г.