# Цифровая схемотехника

„ ЦИФРОВАЯ СХЕМОТЕХНИКА ”

ХАРЬКОВ 2006

СОДЕРЖАНИЕ

Предисловие

1 ЛОГИЧЕСКИЕ И СХЕМОТЕХНИЧЕСКИЕ ОСНОВЫ ЦИФРОВОЙ МИКРОСХЕМОТЕХНИКИ

1.1 Основные понятия алгебры логики

1.2 Логические элементы

1.3 Основные законы алгебры логики

1.4 Дизъюнктивные нормальные формы

1.5 Минимизация логических функций

1.6 Синтез комбинационных логических схем

2 КОМБИНАЦИОННЫЕ СХЕМЫ

2.1 Основные положения

2.2 Дешифраторы

2.3 Шифраторы

2.4 Демультиплексоры

2.5 Мультиплексоры

2.6 Арифметические устройства

3 ТРИГГЕРНЫЕ УСТРОЙСТВА

3.1 Основные понятия

3.2 Асинхронный RS-триггер

3.3 Синхронные триггеры

4 РЕГИСТРЫ

4.1 Общие сведения о регистрах

4.2 Регистры памяти

4.3 Сдвигающие регистры

4.4 Реверсивные регистры

4.5 Универсальные регистры

5 СЧЕТЧИКИ

5.1 Общие сведения о счетчиках

5.2 Счетчики с последовательным переносом

5.3 Счетчики с параллельным переносом

5.4 Реверсивные счетчики

5.5 Счетчики с произвольным коэффициентом счета не равным 2n

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРИ

ПРЕДИСЛОВИЕ

Данное методическое пособие содержит информацию, которая обеспечивает изучение дисциплин:

- «Цифровая схемотехника» для студентов специальности 5.091504 (Обслуживание компьютерных и интеллектуальных систем и сетей);

- «Микросхемотехника» для студентов специальности 5.090805 (Конструирование, производство и техническое обслуживание изделий электронной техники);

- «Электронные приборы и микроэлектроника» для студентов специальности 5.090704 (Конструирование, производство и техническое обслуживание радиотехнических устройств).

Материал, который представлен в данной работе, предназначен для ознакомления студентов с основами современной цифровой микросхемотехники и включает основные виды цифровых устройств, которые широко используются и как самостоятельные изделия в виде микросхем малой и средней степени интеграции, и в составе микросхем высокой степени интеграции: микропроцессоров и микроконтроллеров.

Методическое пособие состоит из пяти разделов:

- логические и схемотехнические основы цифровой микросхемотехники,

- комбинационные схемы,

- триггерные устройства,

- регистры,

- счетчики.

Изложение материала построено таким образом, чтобы последовательно «от простого к сложному» представить основные теоретические принципы анализа и синтеза цифровых устройств. Каждый раздел содержит подразделы, в которых дается информация об условном графическом обозначении изучаемого устройства, приводится его таблица функционирования, функциональная или принципиальная схема и временные диаграммы работы там, где это требуется. Каждой из схем дается подробное описание логики ее работы с таким расчетом, чтобы каждый изучающий предмет освоил принципы анализа работы цифровых схем и приобрел необходимые навыки. Каждая из приведенных схем является типичной для данного устройства. При этом не исключается другая схемная реализация.

Основные понятия, определения, правила выделены «жирным» шрифтом, чтобы сделать освоение предмета более удобным и наглядным.

Учитывая, что изложение материала проводится в порядке возрастания сложности изучаемых цифровых устройств и при этом каждая последующая тема базируется на материале предыдущей, целесообразно пользоваться данным методическим пособием в той последовательности, в которой расположены соответствующие разделы.

Данное пособие полезно использовать не только при изучении теоретических основ цифровой микросхемотехники, но и при подготовке к выполнению лабораторных работ, целью которых является углубление знаний и приобретение практических навыков по сборке и отладке цифровых устройств. Пособием можно пользоваться для самостоятельного изучения, а также при курсовом и дипломном проектировании.

1 ЛОГИЧЕСКИЕ и схемотехнические ОСНОВЫ ЦИФРОВОЙ МИКРОСХЕМОТЕХНИКИ

1.1 Основные понятия алгебры логики

Логика — это наука о законах и формах мышления.

Математическая логика — наука о применении математических методов для решения логических задач.

Все цифровые вычислительные устройства построены на элементах, которые выполняют те или иные логические операции. Одни элементы обеспечивают переработку двоичных символов, представляющих цифровую или иную информацию, другие — коммутацию каналов, по которым передается информация, наконец, третьи — управление, активизируя различные действия и реализуя условия их выполнения.

Электрические сигналы, действующие на входах и выходах названных элементов, имеют, как правило, два различных уровня и, следовательно, могут быть представлены двоичными символами, например 1 или 0. Условимся обозначать свершение какого-либо события (например, наличие высокого уровня напряжения в какой-либо точке схемы) символом 1. Этот символ называют логической единицей. Отсутствие какого-либо события обозначим символом 0, называемым логическим нулем.

Принято считать, что логическому нулю соответствует низкий уровень напряжения, а логической единице — высокий.

Таким образом, каждому сигналу на входе или выходе двоичного элемента ставится в соответствие логическая переменная, которая может принимать лишь два значения: состояние логической единицы (событие истинно) и состояние логического нуля (событие ложно). Эти переменные называют булевыми по имени английского математика Дж. Буля, который еще в девятнадцатом столетии разработал основные положения математической логики. Обозначим логическую переменную символом х.

Различные логические переменные могут быть связаны функциональными зависимостями. Например, выражение у = f (x1, х2) указывает на функциональную зависимость логической переменной у от логических переменных х1 и х2, называемых аргументами или входными переменными.

Любую логическую функцию всегда можно представить в виде совокупности простейших логических операций. К таким операциям относятся:

- отрицание (операция «НЕ»);

- логическое умножение (конъюнкция, операция «И»);

- логическое сложение (дизъюнкция, операция «ИЛИ»).

Отрицание (операция «НЕ») - это такая логическая связь между входной логической переменной х и выходной логической переменной у, при которой у истинно только тогда, когда х ложно, и, наоборот, у ложно только тогда, когда истинно х. Изобразим данную функциональную зависимость в виде таблицы 1.1, которая называется таблицей истинности.

Таблица истинности - это таблица, отображающая соответствие всех возможных комбинаций значений двоичных аргументов значениям логической функции.

Таблица 1.1- Таблица истинности операции «НЕ»

|  |  |
| --- | --- |
| x | y |
| 0 | 1 |
| 1 | 0 |

Логическая функция НЕ переменной у записывается как у =  и читается «у есть не х». Если, например, х - утверждение о наличии сигнала высокого уровня (логической единицы), то y соответствует утверждению о наличии сигнала низкого уровня (логического нуля).



Логическое умножение (конъюнкция, операция «И») - это такая функция, которая истинна только тогда, когда одновременно истинны все умножаемые переменные. Таблица истинности операции логического умножения соответствует таблице 1.2.

Таблица 1.2- Таблица истинности операции логического умножения

|  |  |  |
| --- | --- | --- |
| х2 | х1 | y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Операция «И» обозначается точкой (•). Иногда точка подразумевается. Например, операция «И» между двумя переменными х1 и х2 обозначается как у = х1 • х2.

Логическое сложение (дизъюнкция, операция «ИЛИ») – это такая функция, которая ложна только тогда, когда одновременно ложны все слагаемые переменные. Таблица истинности операции логического сложения соответствует таблице 1.3. Операция «ИЛИ» обозначается знаком V. Например, у = x1 V х2.

Таблица 1.3 - Таблица истинности операции логического сложения

|  |  |  |
| --- | --- | --- |
| х2 | х1 | y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

1.2 Логические элементы

1.2.1 Общие сведения о логических элементах

Логические элементы - это электронные схемы, реализующие простейшие логические функции.

Логические элементы, схематически представляются в виде прямоугольников, на поле которых изображается символ, обозначающий функцию, выполняемую данным элементом.          Например, на рисунке 1.1 показаны условные обозначения элементов, реализующих логические функции НЕ, И, ИЛИ, И- НЕ, ИЛИ- НЕ.



Рисунок 1.1-Условные обозначения логических элементов НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ

Входные переменные принято изображать слева, а выходные — справа. Считается, что передача информации происходит слева направо.

Если выходы одних элементов соединить со входами других, то получим схему, реализующую более сложную функцию. Совокупность различных типов элементов, достаточных для воспроизведения любой логической функции, назовем логическим базисом. Элементы И и НЕ представляют такой логический базис.

Логический базис может состоять всего лишь из одного типа элементов, например элемента типа И─НЕ, схема которого показана на рис. 1.2.



Рисунок 1.2- Схема получения элемента И-НЕ

Универсальность элемента И─НЕ обеспечила ему широкое применение при создании логических устройств цифровой вычислительной техники.

Существует и ряд других элементов, реализующих простейшие логические функции. К их числу, например, относится элемент суммирования по модулю два (исключающее ИЛИ), реализующий функцию неравнозначности двух переменных:



Таблица истинности и условное обозначение такого элемента показаны на рис. 1.3.

|  |  |  |
| --- | --- | --- |
| Х2 | Х1 | У |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

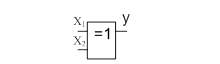


Рисунок 1.3 - Таблица истинности и условное обозначение элемента «исключающее ИЛИ»

Функция неравнозначности равна единице лишь в случае, когда переменные xl и х2 имеют разные значения.

1.2.2 Параметры логических элементов

Простейшие цифровые элементы характеризуются следующими параметрами:

-быстродействием tз ср ,

-нагрузочной способностью (коэффициентом разветвления по выходу) п,

-коэффициентом объединения по входу (числом входов логического элемента) т,

-помехоустойчивостью Un,

-потребляемой мощностью Рср,

-напряжением питания U,

-уровнем сигналов.

Быстродействие — один из важнейших параметров, характеризуемый средним временем задержки распространения сигнала

tзср = ,



где  и  — задержки включения и выключения схемы (рисунок 1.4).

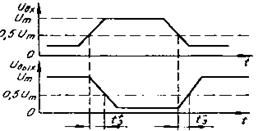


Рисунок 1.4-Задержки включения и выключения схемы

Нагрузочная способность показывает, сколько логических входов может быть одновременно подключено к выходу данного логического элемента без нарушения его работоспособности.

Коэффициент объединения по входу определяет максимально возможное число входов логического элемента. Увеличение т расширяет логические возможности схемы за счет реализации функции от большего числа аргументов на одном элементе И—НЕ, ИЛИ—НЕ и т. д., однако при этом ухудшаются быстродействие и помехоустойчивость.

Помехоустойчивость характеризует способность элемента правильно функционировать при наличии помех. Помехоустойчивость определяется максимально допустимым напряжением помехи, при котором обеспечивается работоспособность схемы.

Потребляемая мощность характеризуется средним значением

Рср = (Р0 + Р3 )/ 2 ,

где Р0 и Р3 потребляемые мощности в открытом и закрытом состояниях схемы. При этом считается, что в устройстве в каждый момент времени приблизительно половина схем открыта. Однако в устройствах, которые имеют сложный инвертор, потребляемая мощность зависит от частоты их переключений. Поэтому тут необходимо учитывать среднюю потребляемую мощность при максимально допустимой частоте следования переключающих импульсов и скважности, равной двум. При определении этой мощности усреднение проводят по полному периоду переключения схемы.

Логические элементы характеризуются еще количеством используемых источников питания и значениями напряжения питания, а также полярностью и уровнем входного и выходного сигналов.

1.2.3 Базовые схемы логических элементов

Из всего разнообразия схемотехнического и технологического построения цифровых схем наибольшее распространение получили две основные разновидности: ТТЛ и МОП-схемы.

1.2.3.1 Базовые интегральные ТТЛ-схемы

Основной особенностью элементов ТТЛ является использование в них многоэмиттерных транзисторов (МЭТ), которые реализует функцию «И». Базовые интегральные ТТЛ-схемы реализует функцию И-НЕ и имеют два вида выходов: с нагрузкой в коллекторе выходного транзистора VT4 (R3, VT3, VD) и с открытым коллектором. Оба варианта показаны на рисунках 1.5 и 1.6.

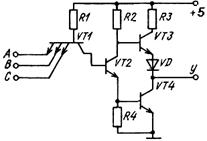


Рисунок 1.5-Базовая интегральная ТТЛ-схема с нагрузкой в коллекторе выходного транзистора

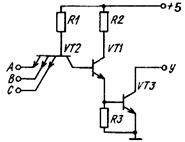


Рисунок 1.6-Базовая интегральная ТТЛ-схема с открытым коллектором

В схеме на рисунке 1.5 на транзисторах VT2—VT4 реализован сложный инвертор, осуществляющий операцию «НЕ», что позволило обеспечить высокую нагрузочную способность, достаточное быстродействие и помехоустойчивость схемы. Кроме того, в выходной цепи отсутствует сквозной ток по цепи +5В через R3 – VT3 – VD – VT4 – общий провод, т.к. в любом состоянии закрыт один из транзисторов либо VT3, либо VT4.

Схема на рисунке 1.6 с открытым коллектором, позволяет иметь много параллельных выходов, что повышает нагрузочную способность схемы.

Рассмотрим принцип работы базовой ТТЛ-схемы (рисунок 1.5) для двух случаев, соответствующих различным наборам входных сигналов.

Случай 1. Если на все входы МЭТ VT1 поданы напряжения, соответствующие уровню логической единицы, то закрыты эмиттерные переходы VT1, и протекает ток через резистор R1, открытый коллекторный переход в базу транзистора VT2, открывая его. Теперь протекает ток через резистор R2, открытый VT2, а затем усиленный ток с эмиттера VT2 поступает в базу выходного инвертирующего транзистора VT4, открывая его до состояния насыщения, тем самым соединяя выход с общим проводом – и напряжение на выходе У будет соответствовать уровню логического нуля. При этом транзистор VT3 будет закрыт, т.к. потенциал его базы не будет превышать 1В, что недостаточно для открывания VT3.

Действительно:

UбVT3 = UбэVT4 + UкэVT2 = 0,7 + 0,3 = 1В;

UэVT3 = UкэVT4 + UVD = 0,3 + 0,7 = 1В.

UбэVT3 = UбVT3 – UэVT3 = 1 – 1 = 0.

Случай 2. Если хотя бы на одном входе МЭТ VT1 появится входное напряжение, соответствующее уровню логического нуля, то откроется соответствующий переход база — эмиттер VT1, МЭТ перейдет в состояние насыщения и потенциал его коллектора станет близким к нулю.

А точнее, если считать, что логический ноль не превышает 0,3В, а падение напряжения на открытом переходе база - эмиттер VT1 – 0,7В, то потенциал базы VT1 будет не более, чем 0,3 + 0,7 = 1В. Следовательно, VT2 закроется, и закроется VT4, т.к. для их открывания необходимо по 0,7В и плюс 0,7В для открывания перехода база – коллектор VT1. Итак, чтобы открыть цепочку VT2 - VT4 надо, чтобы на базе VT1 было не менее 0,7 + 0,7 + 0,7 = 2,1В, что соответствует первому случаю.

Транзистор VT3 откроется по следующей причине. Т.к. VT2 закрыт, то нет тока через R2 и соответственно падения напряжения на нем, поэтому потенциал на коллекторе VT2, а следовательно и на базе VT3, повысится до 5В. На выходе у схемы установится напряжение, соответствующее уровню логической единицы, которое поступает через открытый VT3 от +5В.

Кроме рассмотренных ТТЛ-схем, выпускаются схемы с тремя состояниями для обеспечения совместной работы с линиями магистралей (рисунок 1.7).

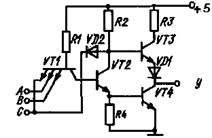


Рисунок 1.7- Базовая интегральная ТТЛ-схема с тремя состояниями

Название этих схем может ввести в заблуждение, так как на самом деле они не являются логическими элементами с тремя уровнями напряжений. Это самые обычные логические схемы, которые имеют третье состояние выхода — «обрыв». Они совмещают в себе все преимущества элементов с резистором в цепи нагрузки и способность работать на общую шину, которой обладает схема с открытым коллектором. Схемы с тремя состояниями имеют отдельный запирающий вход С (обычно он обозначается CS (Chip Select – выбор кристалла), с помощью которого (при подаче на него логического нуля) они могут устанавливаться в третье состояние независимо от того, какие сигналы действуют на логических входах. Третье состояние характеризуется тем, что при этом закрыты оба транзистора VT3 и VT4, и выход не подсоединен ни к +5В, ни к общему проводу.

Ввиду улучшенных характеристик их используют обычно в качестве шинных формирователей вместо схем с открытым коллектором. Устанавливать нагрузочный резистор в этом случае не требуется.

1.2.3.2 Логические схемы на МОП-транзисторах

В настоящее время выпускается несколько разновидностей логических схем на МОП-транзисторах. Особенность ИМС на МОП-структурах состоит в том, что в этих схемах отсутствуют резисторы, а роль нелинейных резисторов выполняют соответствующим образом включенные транзисторы. Они имеют высокую нагрузочную способность и помехоустойчивость и занимают мало площади на поверхности кристалла, они технологичны и дешевы. МОП-транзисторы по принципу работы являются аналогами электронных ламп, так как управляются напряжением, а не током.

Схемы на МОП-транзисторах пока имеют меньшее быстродействие, чем схемы на биполярных транзисторах, что объясняется довольно значительными емкостями, образующимися между затвором, истоком, стоком и подложкой МОП-транзистора, на перезаряд которых требуется определенное время.

Наибольшее распространение получили КМОП-схемы (комплементарные МОП-схемы), в которых совместно применяются как п-канальные, так и р-канальные транзисторы.

Преимуществами схем на КМОП-транзисторах являются малая потребляемая мощность, высокое быстродействие и повышенная помехоустойчивость. В основе всех логических КМОП-схем лежит КМОП-инвертор (рисунок 1.8).

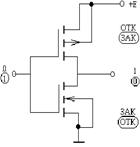


Рисунок 1.8 - КМОП-инвертор

3десь нижний транзистор с каналом n-типа, верхний — с каналом р-типа. Затворы обоих транзисторов объединены, на них подается управляющее напряжение. Подложки соединены с истоками. При поступлении на вход напряжения высокого уровня (логической единицы) открывается транзистор с каналом n-типа (нижний), a с каналом р-типа (верхний) закрывается. На выходе – сигнал логического нуля.

Наоборот, при подаче на вход напряжения, соответствующего уровню логического нуля, открывается верхний транзистор, a нижний закрывается. На выходе – сигнал логической единицы.

Схема, реализующая функцию ИЛИ—НЕ, показана на рисунке 1.9.

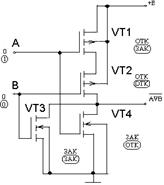


Рисунок 1.9 - Схема ИЛИ—НЕ КМОП

При поступлении на вход А напряжения, соответствующего уровню логической единицы, открывается транзистор VT4 и закрывается VT1, в результате чего напряжение на выходе будет соответствовать уровню логического нуля. При подаче на входы A и В напряжения, соответствующего уровню логического нуля, транзисторы VT3 и VT4 закрываются, a VT1 и VT2 открываются. При этом напряжение на выходе будет соответствовать уровню логической единицы (т. е. близко к напряжению Е).

Схема, реализующая функцию И—НЕ, изображена на рисунке 1.10.

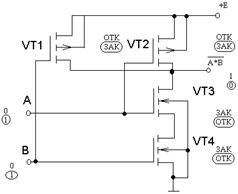


Рисунок 1.10- Схема И—НЕ КМОП

К недостаткам КМОП-технологии следует отнести то, что здесь невозможно достичь столь же высокой плотности упаковки, как при МОП-техноологии из-за некоторой избыточности транзисторов. Однако в КМОП-схемах не протекает постоянно ток, что значительно снижает потребляемую мощность в статическом режиме. В динамическом режиме потребляемая мощность растет из-за перезаряда межэлектродных емкостей транзисторов и одновременного открывания всех транзисторов в момент их переключения, т. е. потребляемая мощность таких схем растет с повышением частоты переключения.

1.3 Основные законы алгебры логики

В алгебре логики приняты следующие основные законы:

- переместительный (свойства коммутативности)

x1 V х2 = х2V x1

x1 • х2 = х2 • x1

- сочетательный (свойства ассоциативности)

x1 V (х2 V x 3) = (x1 V х2 ) V x 3

x1 • (х2 • x 3) = (x1 • х2 ) • x 3

- распределительный (свойства дистрибутивности)

x1 V х2 • x 3 = (x1 V х2 ) (x1 V х3 )

x1 • ( х2 V x 3 ) = x1 • х2 V x1 • х3

- закон инверсии (правило де Моргана)



- закон склеивания



Переместительный и сочетательный законы встречается в обычной алгебре и не вызывает сомнения.

Распределительного закона для умноження и закона инверсии в обычной алгебре нет. Доказательство этих законов может быть выполнено посредством составления таблиц истинности для правой и левой частей уравнений, описывающих тот или иной закон.

Закон инверсии может быть использован для перехода от дизъюнкции к конъюнкции, и наоборот. Так, например, если применить инверсию к левой и правой частям выражений, отражающих закон инверсии, получим  , и далее  . Такое преобразование может понадобиться при проектировании логической схемы для перехода к базису И-НЕ.



В законе склеивания каждая пара объединяемых элементарных произведений различается лишь одной переменной (х2), которая входит в первое произведение без отрицания, а во второе — с отрицанием. Такие элементарные произведения называют соседними. К соседним произведениям применим закон склеивания, в результате чего уменьшаются число суммируемых произведений и на единицу — число переменных. Остается только та переменная, которая неизменна.

1.4 Дизъюнктивные нормальные формы

Для записи одной и той же функции алгебры логики можно использовать много различных форм. Формы, которые представляют суммы элементарных произведений, называют дизъюнктивными нормальными формами (ДНФ).

Элементарное произведение – это такое произведение, в котором сомножителями являются только отдельные переменные или их отрицания.

Очевидно, одна и та же функция может быть представлена множеством различных ДНФ. Однако существуют такие виды ДНФ, в которых функция может быть записана единственным образом. Эти формы называют совершенными дизъюнктивными нормальными формами (СДНФ). СДНФ определяется как сумма элементарных произведений, в которых присутствуют все переменные либо с отрицанием, либо без него.

Правило записи СДНФ функции по ее таблице истинности:

Для всех комбинаций входных переменных, обращающих функцию в единицу, записать элементарные произведения, инвертируя переменные, равные в данной комбинации нулю, а все полученные элементарные произведения соединить знаками логического суммирования.

Рассмотрим пример. Пусть функция задана таблицей истинности (таблица 1.4). Требуется записать СДНФ функции по ее таблице истинности.

Таблица 1.4- Таблица истинности

|  |  |  |  |
| --- | --- | --- | --- |
| х2 | х1 | х0 | F(х2, х1, х0) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

таблица истинности такой функции содержит три строки, в которых функция равна единице. Каждой из этих строк соответствует определенная комбинация входных переменных, а именно: 001, 100 и 101.

Применим правило записи СДНФ к функции, представленной таблице 1.4, и получим три элементарных произведения  , соответствующие входным комбинациям. Соединив эти произведения знаками логического суммирования, придем к СДНФ:



F(х2, х1, х0) =  .



1.5 Минимизация логических функций

СДНФ не всегда является самым простым выражением функции. тождественные преобразования позволяют существенно упростить (минимизировать) выражения логических функций. Каждая логическая функция реализуется с помощью определенного набора устройств. Чем меньше элементов содержит выражение, тем проще схема, реализующая соответствующую ему логическую функцию. Поэтому значительный интерес представляет рассмотрение методов минимизации логических функций.

Различают аналитические и табличные методы минимизации.

1.5.1 Аналитические методы

Наиболее распространенным является метод непосредственных тождественных преобразований. Этот метод состоит в последовательном применении к некоторой формуле законов и правил тождественных преобразований алгебры логики.

метод непосредственных преобразований не поддается четкой алгоритмизации. Действия, используемые при реализации этого метода, определяются видом исходного преобразуемого выражения, квалификацией исполнителя и другими субъективными факторами. Отсутствие такой алгоритмизации значительно повышает вероятность появления ошибок и возможность получения не полностью минимизированной формулы.

Метод непосредственных преобразований наиболее пригоден для простых формул, когда последовательность преобразований очевидна для исполнителя. Наиболее часто этот метод применяется для окончательной минимизации выражений, полученных после минимизации их другими методами.

Стремление к алгоритмизации поиска соседних элементарных произведений привело к разработке табличных методов минимизации логических функций. Одним из них является метод, основанный на использовании карт Карно.

1.5.2 Использование карт Карно

Карта Карно — это графическое представление таблицы истинности логических функций.

Она представляет собой таблицу, содержащую по 2п прямоугольных ячеек, где п — число логических переменных. Например, карта Карно для функции четырех переменных имеет 24 = 16 ячеек. Структура карт Карно для функций двух и трех переменных показана ниже.

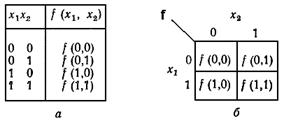


Рисунок 1.11 - Таблица истинности (а) и структура карт Карно (б) для функции двух переменных

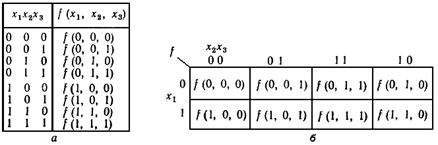


Рисунок 1.12- Таблица истинности (а) и структура карт Карно (б) для функции трех переменных

Карта размечается системой координат, соответствующих значениям входных переменных. Например, верхняя строка карты для функции трех переменных соответствует нулевому значению переменной x1, а нижняя — ее единичному значению. Каждый столбец этой карты характеризуется значениями двух переменных: х2 и х3. Комбинация цифр, которыми отмечается каждый столбец, показывает, для каких значений переменных х2 и х3 вычисляется функция, размещаемая в клетках этого столбца.

Если на указанном наборе переменных функция равна единице, то ее СДНФ обязательно содержит элементарное произведение, принимающее на этом наборе единичное значение. Таким образом, ячейки карты Карно, представляющие функцию, содержат столько единиц, сколько элементарных произведений содержится в ее СДНФ, причем каждой единице соответствует одно из элементарных произведений.

Обратим внимание на то, что координаты строк и столбцов в карте Карно следуют не в естественном порядке возрастания двоичных кодов, а в порядке 00, 01, 11, 10. Изменение порядка следования наборов сделано для того, чтобы соседние наборы были соседними, т.е. отличались значением только одной переменной. Ячейки, в которых функция принимает значения, равные единице, заполняются единицами. В остальные ячейки записываются нули.

Процесс минимизации рассмотрим на примере, представленном на рисунке 1.13.

Сначала формируем прямоугольники, содержащие по 2k ячеек, где k — целое число. В прямоугольники объединяются соседние ячейки, которые соответствуют соседним элементарным произведениям.

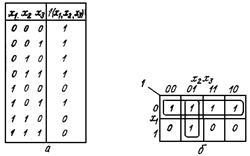


Рисунок 1.13-Таблица истинности (а) и карта Карно (б)

Например, на рисунке 1.13,б объединены ячейки с координатами 001 и 101. При объединении этих ячеек образовался прямоугольник, в котором переменная x1 изменяет свое значение. Следовательно, она исчезнет при склеивании соответствующих элементарных произведений и останутся только х2 и х3, причем переменную х2 берем в инверсном виде, т.к. она равна 0.

Ячейки, расположенные в первой строке (рисунок 1.13,б), содержат единицы и являются соседними. Поэтому все они объединяются в прямоугольник, содержащий 22 = 4 ячейки.

Переменные х2 и х3 в пределах прямоугольника меняют свое значение; следовательно, они исчезнут из результирующего элементарного произведения. Переменная х1 остается неизменной и равной нулю. Таким образом, элементарное произведение, полученное в результате объединения ячеек первой строки рисунка 1.13,6, содержит лишь один х1, который берем в инверсном виде, т.к. он равен 0. Это, в частности, следует из того, что четырем ячейкам первой строки соответствует сумма четырех элементарных произведений:



Функция, соответствующая рисунку 1.6 имеет вид:



Совокупность прямоугольников, покрывающих все единицы, называют покрытием. Заметим, что одна и та же ячейка (например, ячейка с координатами 001) может покрываться два или несколько раз.

Итак, можно сделать следующие выводы:

1. Формула, получающаяся в результате минимизации логической функции с помощью карт Карно, содержит сумму стольких элементарных произведений, сколько прямоугольников имеется в покрытии.

2. Чем больше ячеек в прямоугольнике, тем меньше переменных содержится в соответствующем ему элементарном произведении.

Например, для карты Карно, изображенной на рисунке 1.14,а, прямоугольнику, содержащему четыре ячейки, соответствует элементарное произведение  двух переменных, а квадрату, состоящему всего лишь из одной ячейки,— элементарное произведение , включающее все четыре переменные.

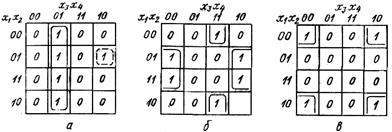


Рисунок 1.14-Карты Карно для функций четырех переменных

Функция, соответствующая покрытию, показанному на рисунке 1.14, а, имеет вид:



Несмотря на то, что карты Карно изображаются на плоскости, соседство квадратов устанавливается на поверхности тора. Верхняя и нижняя границы карты Карно как бы «склеиваются», образуя поверхность цилиндра. При склеивании боковых границ получается тороидальная поверхность. Следуя изложенным рассуждениям, устанавливаем, что ячейки с координатами 1011 и 0011, изображенные на рисунке 1.14, б, являются соседними и объединяются в прямоугольник. Действительно, указанным ячейкам соответствует сумма элементарных произведений



Аналогично объединяются и остальные четыре единичные ячейки. В результате их объединения получаем элементарное произведение . Окончательно функция, соответствующая покрытию, изображенному на рисунке 1.14, б, имеет вид



Карта Карно, показанная на рисунке 1.7, в, содержит единичные ячейки, расположенные по углам. Все четыре ячейки являются соседними, и после объединения дадут элементарное произведение .



Рассмотренные выше примеры позволяют сформулировать:

Последовательность проведения минимизации логических функций с помощью карт Карно

1. Изображается таблица для п переменных и производится разметка ее сторон.

2. Ячейки таблицы, соответствующие наборам переменных, обращающих функцию в единицу, заполняются единицами, остальные ячейки — нулями.

3. Выбирается наилучшее покрытие таблицы правильными прямоугольниками, которые обводим контурами. В каждом прямоугольнике должно быть 2n ячеек.

4. Одни и те же ячейки с единицами могут входить в разные контуры.

5. Количество прямоугольников должно быть минимальным, а площадь прямоугольников максимальная.

6. Для каждого прямоугольника записываем произведение только тех переменных, которые не изменяют своего значения. Если эта переменная равна нулю, то ее записывают в инверсном виде.

7. Полученные произведения соединяем знаком логического сложения.

При использовании двоично-десятичных кодов десятичные цифры представляются в них четырьмя двоичными разрядами. Из всех возможных 16 кодовых комбинаций используются лишь 10, а остальные комбинации запрещены и никогда возникнуть не могут. Если какая-нибудь функция имеет запрещенные наборы переменных, то ее значения на указанных наборах не определены и в таблице истинности отмечаются знаком Х.

Двоичные функции, значения которых определены не для всех наборов входных переменных, называются неполностью определенными.

При минимизации неполностью определенной функции ее следует доопределить, т. е. неопределенные значения ячеек карты Карно произвольным образом заменить единицами или нулями. Желательно выбрать тот вариант, при котором формула минимизированной функции будет наиболее простая.

1.6 Синтез комбинационных логических схем

Синтез – это процесс получения функциональной схемы, которая выполняет заданную логическую функцию.

Процесс разработки логических схем предполагает следующую последовательность действий:

1) От таблицы истинности переходим к карте Карно

2) Проводим минимизацию и получаем минимизированное логическое выражение заданной функции (см. 1.5.2)

3) Преобразуем полученное логическое выражение к базису И-НЕ, используя закон инверсии

4) Строим логическую структуру

Рассмотрим пример. Построить логическую структуру, заданную таблицей истинности, показанную на рисунке 1.15 а.

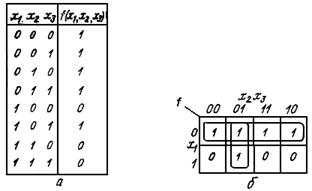


Рисунок 1. 15-Таблица истинности (а) и карта Карно (б)

1) Переходим к карте Карно и обводим прямоугольными контурами соседние клетки с единицами, как показано на рисунке 1. 15 б.

2) Используя контуры, показанные на карте Карно, получаем следующее логическое выражение

.



3) Преобразуем полученное логическое выражение к базису И-НЕ



4) Строим логическую структуру

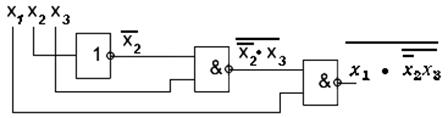


Рисунок 1.16 - Логическая структура, реализующая функцию, заданную таблицей истинности на рисунке 1.15 а

2 КОМБИНАЦИОННЫЕ СХЕМЫ

2.1 Основные положения

При соединении логических элементов образуются устройства, схемы которых называют логическими. Различают комбинационные и последовтельностные схемы.

Комбинационные схемы реализуют функции, значения которых в данный момент времени определяются лишь совокупностью значений входных переменных в этот же момент времени и не зависят от предыдущих значений входных переменных.

О таких схемах принято говорить, что они не обладают свойством памяти (предыстория не оказывает влияния на результат преобразования). Заметим, что каждый реальный логический элемент обладает некоторым временем задержки изменения выходного сигнала по отношению к входному. К наиболее важным комбинационным схемам относятся следующие устройства:

- дешифраторы,

- шифраторы,

- демультиплексоры,

- мультиплексоры,

- сумматоры.

2.2 Дешифраторы

Дешифратор (декодер) – это устройство, которое преобразует n – разрядный позиционный код в m – разрядный унитарный, т.е. содержащий всего лишь одну единицу или ноль.

Дешифратор имеет n входов и m (m ≤ 2n) выходов. На условных графических обозначениях дешифраторы обозначают как DC (от английского decoder).

На рисунке 2.1 показаны условное графическое обозначение (УГО) и таблица функционирования двухвходового дешифратора (2 : 4).

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Входы | | Выходы | | | |
| х1 | х0 | 0 | 1 | 2 | 3 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

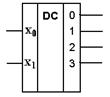


Рисунок 2.1-Условное графическое обозначение и таблица функционирования двухвходового дешифратора (2 : 4).

Из таблицы функционирования двухвходового дешифратора следует, что номер активного выхода, на котором присутствует единица, совпадает с двоичным кодом на входах, если его представить в виде десятичного числа. Например, 012 = 110 , 102 = 210 , 112 = 310 .

Построим схему двухвходового дешифратора, для чего запишем функции каждого выхода, используя таблицу истинности и правило записи СДНФ (см. 1.4): Выход 0 -  , Выход 1 -  , Выход 2 -  , Выход 3 -  . На основании полученных логических выражений получим схему, представленную на рисунке 2.2.

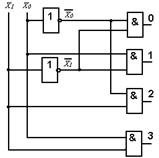


Рисунок 2.2-Схема двухвходового дешифратора (2 : 4)

2.3 Шифраторы

Шифратор – это устройство, которое имеет m входов и n выходов (m ≤ 2n) и превращает m-разрядний унитарный код в n-разрядний позиционный код.

На условных графических обозначениях шифраторы обозначают как CD.

Назначение шифраторов заключается в превращении единичных входных сигналов в соответствующие кодовые комбинации на выходах, которые определяются соответствующим методом кодировки входных сигналов. Каждому единичному входу шифратора отвечает лишь один из возможных наборов выходных переменных. Соответствующая кодовая комбинация на выходах шифратора появляется тогда и только затем, когда появляется единичный сигнал на том его входе, который сопоставлен с данной выходной комбинацией.

Применяется такая нумерация входов шифратора, при которой появление единичного сигнала на і-м входе приводит к появлению выходного набора, что представляет собой число і, записанное в двоичной системе исчисления. На рисунке 2.3 представлены функциональная схема и таблица истинности шифратора на восемь входов.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | | Выходы | | |
| Х0 | Х1 | Х2 | Х3 | Х4 | Х5 | Х6 | Х7 | У2 | У1 | У0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

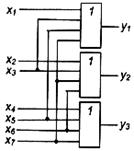


Рисунок 2.3 - Функциональная схема и таблица истинности шифратора на восемь входов.

2.4 Демультиплексоры

Демультиплексор – это устройство, в котором сигналы с одного информационного входа распределяются в желаемой последовательности по нескольким выходам.

На условных графических обозначениях демультиплексоры обозначают DMX. На рисунке 2.3 показаны условное графическое обозначение и таблица функционирования демультиплексора.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Адрес | | Выходы | | | |
| А1 | А0 | 0 | 1 | 2 | 3 |
| 0 | 0 | Х | 0 | 0 | 0 |
| 0 | 1 | 0 | Х | 0 | 0 |
| 1 | 0 | 0 | 0 | Х | 0 |
| 1 | 1 | 0 | 0 | 0 | Х |



Рисунок 2.4-УГО и таблица функционирования демультиплексора 1:4

Здесь вход х — информационный вход, входы А0 А1— адресные, код на которых определяет, на каком из выходов будут формироваться сигналы, повторяющие х. Принцип определения номера выхода по адресной комбинации такой же, как у дешифратора. При т адресных входах демультиплексор может иметь в зависимости от конструкции до 2m выходов.

Если у демультиплексора 1:4 на информационном входе х поддерживать потенциал U1 (логическая единица), то он будет работать как дешифратор 2:4, входами которого будут А0 и А1.   Таким образом, между дешифратором и демультиплексором нет принципиальной разницы, а различие сводится к виду сигналов на входе х: если они меняются во времени, это демультиплексор, если нет — дешифратор. У дешифраторов этот вход нередко отсутствует и выходные сигналы на активном выходе имеют одно, наперед известное значение. Сказанное подтверждается схемой демультиплексора, которая представлена на рисунке 2.5.

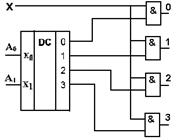


Рисунок 2.5-Схема демультиплексора 1:4

Действительно, если х = 1, то все вентили & открыты, и выходные сигналы в точности повторяют сигналы дешифратора, входящего в состав демультиплексора. При произвольном значении сигнала х он появится на выходе того вентиля И, который открыт сигналом «1» с выхода дешифратора, заданного кодом на входах А0 и А1.

2.5 Мультиплексоры

Мультиплексор – это устройство, в котором сигналы с одного из информационных входов поступают в желаемой последовательности на единственный выход.

На условных графических обозначениях мультиплексоры обозначают MUX. На рисунке 2.6 показаны условное графическое обозначение и таблица функционирования мультиплексора 4:1.

|  |  |  |
| --- | --- | --- |
| Адрес | | Выход |
| А1 | А0 | F |
| 0 | 0 | Вход 0 |
| 0 | 1 | Вход 1 |
| 1 | 0 | Вход 2 |
| 1 | 1 | Вход 3 |

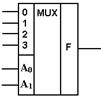


Рисунок 2.6-Условное графическое обозначение и таблица функционирования мультиплексора 4:1

Здесь входы 0,1,2,3 — информационные входы, А0 и А1— адресные, код на которых определяет, с какого из входов будут взяты сигналы для передачи на выход F. Принцип определения номера входа по адресной комбинации такой же, как у дешифратора и демультиплексора. При т адресных входах мультиплексор может иметь в зависимости от конструкции до 2m входов. Схема четырехвходового мультиплексора (4:1) представлена на рисунке 2.7.

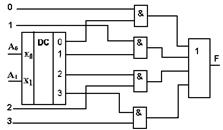


Рисунок 2.7- Схема мультиплексора 4:1

Из схемы следует, что один из входных сигналов проходит через тот вентиль И, который открыт сигналом «1» с выхода дешифратора, заданного кодом на входах А0 и А1. На выходах остальных элементов И в этот момент присутствуют сигналы «0», которые не препятствуют прохождению информации с выбранного входа через элемент ИЛИ на выход.

Мультиплексор с т адресными входами можно использовать для реализации произвольной логической функции от т аргументов.

Реализация необходимой функции осуществляется на основании ее таблицы истинности. Значения наборов аргументов задаются на адресных входах. А его информационные входы подключаются к источникам сигналов «0» и «1» таким образом, чтобы на входе, который подключается к выходу на каждом из входных наборов, присутствовало значение сигнала, которое соответствует таблице истинности. В качестве примера на рисунке 2.8 приведена схема подключения мультиплексора для реализации функции, приведенной на таблице истинности.

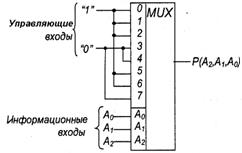
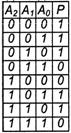


Рисунок 2.8- Использование мультиплексора для реализации заданной логической функции

Дешифраторы и демультиплексоры, оформленные как микросхемы средней степени интеграции, широко применяются в информационно-измерительной технике. Как и мультиплексоры, они часто используются в сочетании со счетчиками и регистрами. Они служат в качестве коммутаторов-распределителей информационных сигналов и синхроимпульсов, для демультиплексирования данных и организации адресной логики в оперативных и постоянных запоминающих устройствах, а также для преобразования двоично-десятичного кода в десятичный с целью управления индикаторными и печатающими устройствами. Число выходов и распределение сигналов на них определяются характером предполагаемой нагрузки.

Дешифраторы для работы с газоразрядными индикаторными лампами имеют на выходе высоковольтные транзисторы и организацию выходов «один из десяти». Микросхемы, работающие с семисегментными индикаторами (полупроводниковыми, накальными, вакуумными), имеют семь выходов и надлежащее распределение сигналов на них при каждом сочетании входных сигналов.

Демультиплексоры-дешифраторы как самостоятельные изделия имеют 4; 8 или 16 выходов. Если потребное число выходов превышает возможности одной микросхемы, демультиплексоры (дешифраторы) наращиваются в систему. В этом отношении тут нет принципиального различия с мультиплексорами.

Для примера рассмотрим, ИМС К561КП1, которая содержит два четырехвходовых мультиплексора. Микросхема имеет два адресных входа 1 и 2, общие для обоих мультиплексоров, общий вход стробирования S , информационные входы Х0 - ХЗ первого мультиплексора, входы У0 - УЗ второго мультиплексора. Два варианта изображения КП1 приведены на рисунке 2.9.

.

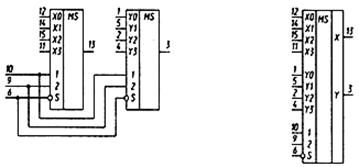


Рисунок 2.9- Функциональная схема и условное графическое обозначение микросхемы К561КП1

При подаче на адресные входы 1 и 2 двоичного кода адреса и на вход S сигнала «0» выходы мультиплексоров соединяются со входами, номера которых соответствуют десятичному эквиваленту кода адреса. Если на входе S сигнал «1», выходы мультиплексоров отключаются от входов и переходят в высокоимпедансное (третье) состояние. Соединение входов Передаваемый через мультиплексор сигнал может быть как аналоговым, как и цифровым, он может передаваться как со входов на выход (микросхема работает в режиме мультиплексора), так и с выхода распределяться на входы (режим демультиплексора).

Микросхема демультиплексора-дешифратора К155ИДЗ (рисунок 2.10) имеет четыре адресных входа 1, 2, 4, 8, два инверсных входа стробирования S, объединенных по И, и 16 выходов 0-15. Если на обоих входах стробирования лог. 0, на том из выходов, номер которого соответствует десятичному эквиваленту входного кода (вход 1 - младший разряд, вход 8 -старший), будет лог. 0, на остальных выходах - лог. 1. Если хотя бы на одном из входов стробирования S лог. 1, то независимо от состояний входов на всех выходах микросхемы формируется лог. 1.

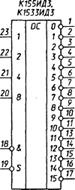


Рисунок 2.10-Условное графическое обозначение демультиплексора-дешифратора К155ИДЗ

Наличие двух входов стробирования существенно расширяет возможности использования микросхем. Из двух микросхем ИДЗ, дополненных одним инвертором, можно собрать дешифратор на 32 выхода (рисунок 2.11).

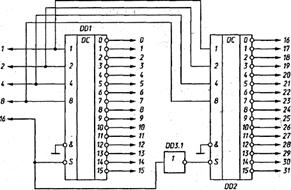


Рисунок 2.11- Дешифратор на 32 выхода на основе микросхемы К155ИДЗ

2.6 Арифметические устройства

2.6.1 Общие сведения

Комбинационные устройства, которые рассматривались до сих пор, выполняют логические функции. Для описания их поведения используется аппарат алгебры логики. Входные и выходные сигналы высокого и низкого уровня оцениваются соответственно как логическая 1 и логический 0.

Дискретная техника оперирует и другим классом приборов, назначение которого состоит в выполнении арифметических действий с двоичными числами: сложения, вычитания, умножения, деления. К арифметическим устройствам относят также узлы, выполняющие специальные арифметические операции, как-то: выявление четности заданных чисел (определение паритета) и сравнение двух чисел.

Особенность арифметических устройств состоит в том, что сигналам приписываются не логические, а арифметические значения 1 и 0 и действия над ними подчиняются законам двоичной арифметики. Хотя арифметические устройства оперируют с численными величинами, для описания их работы также удобно пользоваться таблицами истинности. Арифметические устройства очень широко используются в ЦВМ и достаточно часто в аппаратуре информационно-измерительной техники.

Важнейшая из арифметических операций — сложение (суммирование). Помимо прямого назначения она используется и при других операциях: вычитание — это сложение, в котором вычитаемое вводится в обратном или дополнительном коде, а умножение и деление — это последовательное сложение и вычитание.

Сумматор – это функциональный узел, выполняющий операцию арифметического сложения чисел.

В устройствах дискретной техники суммирование осуществляется в двоичном или, реже, двоично-десятичном коде. По характеру действия сумматоры подразделяются на две категории:    - комбинационные — как и все ранее рассмотренные узлы, не имеющие элементов памяти;       - накопительные — сохраняющие результаты вычислений.

В свою очередь, каждый из сумматоров, оперирующий с многоразрядными слагаемыми, в зависимости от способа обработки чисел может быть отнесен к последовательному или параллельному типу.

Как последовательные, так и параллельные сумматоры строятся на основе одноразрядных суммирующих схем. Сложение чисел в последовательных сумматорах осуществляется поразрядно, последовательно во времени. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно.

В дальнейшем речь будет идти только о комбинационных сумматорах.

2.6.2 Полусумматор

Простейшим суммирующим элементом является полусумматор. Происхождение этого термина станет ясным в ходе изложения. Одним из простейших суммирующих устройств является полусумматор, УГО и таблица истинности которого показаны на рисунке 2.12.

|  |  |  |  |
| --- | --- | --- | --- |
| Входы | | Выходы | |
| А | В | Р | S |
| 0  0  1  1 | 0  1  0  1 | 0  0  0  1 | 0  1  1  0 |



Рисунок 2.12-УГО и таблица истинности полусумматора

Обозначением полусумматора служат буквы HS (half sum — полусумма). Полусумматор имеет два входа А и В для двух слагаемых и два выхода: S (сумма) и Р (перенос).

Логическая структура полусумматора строится на основании таблицы истинности, из которой следует, что работа полусумматора описывается следующими уравнениями:



Р = АВ

Выражение для выхода S, равно как и столбец S таблицы истинности, полностью совпадает с таблицей истинности для логического элемента «исключающее ИЛИ». Это обстоятельство объясняет, почему операцию «исключающее ИЛИ» называют сложением по модулю 2. Логическая структура полусумматора в общем и развернутом виде показана на рисунке 2.13.

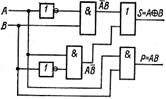


Рисунок 2.13- Логическая структура полусумматора в общем и развернутом виде

2.6.3 Полный сумматор

Процедуру сложения двух n-разрядных двоичных чисел можно представить следующим образом (рисунок 2.14).

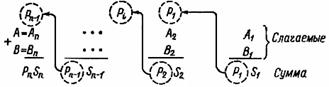


Рисунок 2.14-Сложение двух n-разрядных чисел

Сложение цифр А1 и В1 младшего разряда дает бит суммы S1 и бит переноса P1. В следующем (втором) разряде происходит сложение цифр Р1, А2 и В2, которое формирует сумму S2 и перенос Р2. Операция длится, пока не будет сложена каждая пара цифр во всех разрядах, результатом сложения будет число S=Pn Sn ... S1, где Рi и Si отображают 1 или 0, полученные в результате поразрядного сложения. Полусумматор имеет два входа и пригоден, поэтому для использования только в младшем разряде.

Устройство для суммирования двух многоразрядных чисел должно иметь, начиная со второго разряда, три входа: два для слагаемых Аi и Вi и один для сигнала переноса Рi-1 из предыдущего разряда. Этот узел называется полный сумматор, УГО и таблица истинности которого представлены на рисунке 2.15.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Входы | | | Выходы | |
| Рi-1 | А | В | Рi | S |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

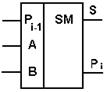


Рисунок 2.15-УГО и таблица истинности полного сумматора

Используя таблицу истинности, можно получить следующие выражения выходных функций  , . Эти выражения позволяют построить логическую структуру полного сумматора, которая представлена на рисунке 2.16

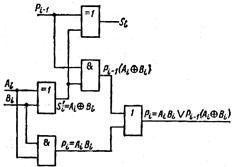


Рисунок 2.16 -Логическая структура полного сумматора

2.6.4 Многоразрядный сумматор

Для построения многоразрядного сумматора используют полусумматор и полный одноразрядный сумматор, рассмотренные выше. Соединения, показанные на рисунке 2.17, осуществляются в соответствии с алгоритмом, который представлен на рисунке 2. 14.

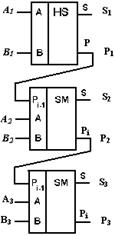


Рисунок 2.17-Многоразрядный (трехразрядный) сумматор

3 ТРИГГЕРНЫЕ УСТРОЙСТВА

3.1 Основные понятия

Наряду с комбинационными устройствами существуют элементы с памятью. Простейшими из них являются триггеры.

Триггер — это логический элемент, который может находиться в одном из двух устойчивых состояний: 0 или 1.

Переход в каждое последующее состояние обычно зависит не только от текущих значений входных сигналов, но и от предыдущего состояния триггера. Информация о предыдущем состоянии, поступающая с выходов триггера, вместе с внешними сигналами управляет его работой. Поэтому триггеры являются устройствами с обратными логическими связями.

Логическая функция, устанавливающая зависимость состояния, в которое переходит триггер из текущего состояния при воздействии заданных сигналов управления, называется функцией переходов триггера. Функции переходов задаются логическими формулами или в виде таблиц.

В зависимости от логики работы триггеры подразделяются на следующие основные виды RS, D, T и JK.

В зависимости от способа записи информации триггеры подразделяются на асинхронные и синхронные. Асинхронные триггеры переходят в новое состояние сразу после подачи управляющих сигналов, а синхронные требуют для этого еще подачи синхронизирующего сигнала на вход синхронизации С.

3.2 Асинхронный RS-триггер

Асинхронный RS-триггер служит основным элементом памяти в составе триггеров любых типов. Он может строиться как на элементах И-НЕ, так и ИЛИ-НЕ. Оба способа и их условные графические обозначения представлены и на рисунке 3.1.

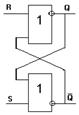
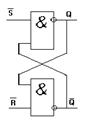


Рисунок 3.1- Реализации асинхронного RS-триггера на элементах И-НЕ и ИЛИ-НЕ и их условные графические обозначения

RS-триггер имеет два входа: установочный S (от английского Set: установка) и вход сброса R (от английского Reset: сброс).

Выходные сигналы Q и , определяют состояние триггера.



Если Q = 0, то триггер в нулевом состоянии, если Q = 1, то в единичном.

На рисунке 3.2 содержатся таблицы переходов, отражающие порядок функционирования RS-триггера на элементах И-НЕ и ИЛИ-НЕ соответственно.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | Qn | Qn+1 | Режим работы |
| 0 | 0 | 0 | х | Запрещенный |
| 0 | 0 | 1 | х | Запрещенный |
| 0 | 1 | 0 | 1 | Установка |
| 0 | 1 | 1 | 1 | Установка |
| 1 | 0 | 0 | 0 | Сброс |
| 1 | 0 | 1 | 0 | Сброс |
| 1 | 1 | 0 | 0 | Хранение |
| 1 | 1 | 1 | 1 | Хранение |
| S | R | Q | Qn+1 | Режим работы |
| 0 | 0 | 0 | 0 | Хранение |
| 0 | 0 | 1 | 1 | Хранение |
| 0 | 1 | 0 | 0 | Сброс |
| 0 | 1 | 1 | 0 | Сброс |
| 1 | 0 | 0 | 1 | Установка |
| 1 | 0 | 1 | 1 | Установка |
| 1 | 1 | 0 | х | Запрещенный |
| 1 | 1 | 1 | х | Запрещенный |

Рисунок 3.2-Таблицы переходов RS-триггера на элементах И-НЕ (слева) и ИЛИ-НЕ

В таблицах приняты следующие обозначения: Qn – исходное состояние, Qn+1 – новое состояние триггера, х – неопределенное состояние.

Триггер на элементах ИЛИ-НЕ управляется единичными сигналами, поступающими на один из его входов. При подаче единичного сигнала на вход R триггер устанавливается в нулевое состояние (Qn+1 = 0 — режим «сброса»), а при поступлении такого же сигнала на вход S - в единичное состояние (Qn+1 = 1).

Подача единичных сигналов одновременно на оба входа запрещена, т.к. состояние Qn+1, в которое переходит триггер, не определено – на выходах Q и  устанавливаются нулевые логические значения сигналов. R• S = 1 является запрещенной комбинацией.



При поступлении на оба входа триггера сигналов нулевого логического уровня его состояние остается неизменным (Qn+1= Qn).

Триггер на элементах И-НЕ управляется нулевыми сигналами, что отражено на его условном обозначении в виде инвертирующих входов. Запрещенным состоянием является такое, при котором на оба его входа подаются нулевые логические сигналы.

3.3 Синхронные триггеры

3.3.1 RS-триггер

Важнейшую роль в цифровых устройствах играют триггеры с синхронизирующими (тактовыми) и информационными (программирующими) входами. Условное графическое изображение и функциональная схема синхронного RS-триггера представлены на рисунке 3.3

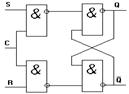


Рисунок 3.3- УГО и функциональная схема синхронного RS-триггера

Изменение состояния триггера возможно лишь при наличии единичного сигнала на синхронизирующем входе С. При нулевом значении сигнала C информация на управляющих входах R и S не воспринимается, и триггер сохраняет свое предыдущее состояние для любых значений сигналов на управляющих входах R и S. Запрещенной комбинацией является R• S •С = 1.

Кроме синхронных RS-триггеров, применяются еще три вида триггеров: D-,Т-, и JK- типов.

3.3.2 D-триггер

Условное графическое обозначение и функциональная схема D-триггера показаны на рисунке 3.4

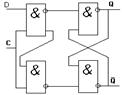


Рисунок 3.4-Условное графическое обозначение и функциональная схема D-триггера

Логика работы D-триггера: после окончания очередного синхронизирующего импульса триггер принимает состояние сигнала на его информационном входе D. Поэтому D-триггер называют триггером задержки (от английского Delay – задержка).

3.3.3 Т-триггер

Т-триггер имеет только синхронизирующий вход и не имеет информационных входов. Условное графическое обозначение Т-триггера показано на рисунке 3.5.



Рисунок 3.5 - Условное графическое обозначение Т-триггера

Логика работы Т-триггера: при подаче каждого тактового импульса меняет свое состояние на противоположное.

Он является основным элементом делителей частоты, хотя отдельно не выпускается. Однако этот триггер легко реализовать на основе D-триггера, как показано на рис 3.6.



Рисунок 3.6- Реализация Т-триггера на основе D-триггера

3.3.4 JK-триггер

Условное графическое обозначение JK-триггера представлено рисунке 3.7.



Рисунок 3.7 - Условное графическое обозначение JK-триггера

Работу JK-триггера иллюстрирует таблица переходов RS-триггера с прямыми входами, показанная на рисунке 3.2. Причем входу S соответствует вход J, а входу R – вход K.

Из таблицы следует, что JК-триггер не изменяет своего состояния при воздействии тактового импульса, если J = К = 0. В отличие от RS-триггера сигналы J = К= 1 не являются запрещенными и вызывают изменение состояния триггера на противоположное, т.е. триггер работает как Т-триггер.

Если J = 1 и К = 0, то тактовый импульс устанавливает триггер в единичное состояние (Qn+1= 1), а при J = 0 и K = 1 — в нулевое состояние (Qn+1= 0). Триггер не изменяет своего состояния, если тактирующий сигнал С = 0.

Т-триггер легко реализовать из JK-триггера объединением управляющих входов J и K, как показано на рисунке 3.8. JK-триггер является универсальным, поскольку из него легко получаются RS и Т-триггеры.



Рисунок 3.8-Схема включения JK-триггера в режиме Т-триггера

3.3.5 Двухступенчатые синхронные триггеры

3.3.5.1 Двухтактный R-S триггер M-S-типа

Особенностью ранее рассмотренных триггеров является то, что если во время действия тактового импульса на информационных входах синхронного триггера произойдет даже кратковременное изменение сигнала, приводящее к изменению состояния триггера, то это немедленно скажется на его выходе. Несколько иначе работают двухступенчатые синхронные триггеры, которые называют MS-триггерами (от английского Master – Slave: Хозяин – Раб). Эти триггеры состоят из двух элементов памяти, соединенных так, как это, например, показано на рисунке 3.9. Этот триггер имеет два входа синхронизации С1 и С2. Запись осуществляется путем последовательной подачи двух синхронизирующих сигналов сначала на вход С1, а затем на С2. Поэтому такой триггер называется двухтактным.

“M” “S”

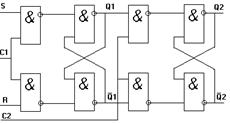


Рисунок 3.9 -Двухтактный R-S триггер M-S-типа

Однако управление двухтактным триггером требует усложнения схемы управления. Поэтому применяются двухступенчатые однотактные триггеры, которые строятся с использованием различных схемотехнических приемов задержки переключения второго триггера.

3.3.5.2 Однотактные двухступенчатые триггеры

Двухступенчатая структура триггера отображается на условном графическом обозначении в виде двух букв Т, как показано на рисунке 3.10.



Рисунок 3.10 - Условное графическое обозначение двухступенчатых триггеров

О двухступенчатых триггерах говорят также, что они управляются импульсом. Действительно, для полного цикла работы двухступенчатого триггера необходимо два перепада синхронизирующего сигнала.

На рисунке 3.11 представлен RS-триггер с запрещающими связями, а на рисунке 3.12 с инвертором.

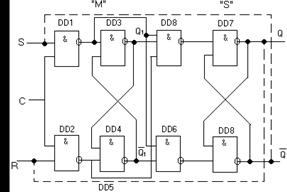


Рисунок 3.11 - Однотактный RS-триггер M-S-типа с запрещающими связями

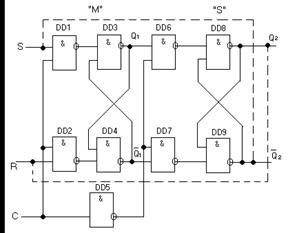


Рисунок 3.12 - Однотактный R-S триггер M-S-типа с инвертором

логический схема регистр триггер

Передним фронтом тактового импульса записывается информация, определяемая уровнем сигналов на информационных входах триггера, в первый элемент памяти, называемый управляющим (М). Спад тактового импульса вызывает перезапись информации из управляющего элемента в управляемый (S). После окончания тактового импульса изменения информации на входах R и S управляющего триггера не воспринимаются. Процесс записи проиллюстрирован на рисунке 3.13.

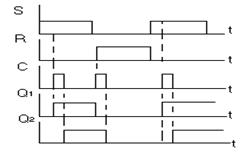


Рисунок 3.13 - Временне диаграммы процесса записи в однотактный R-S триггер M-S-типа

Пунктирными линиями на рисунках 3.11 и 3.12 показаны обратные связи, превращающие RS-триггер в Т-триггер, временные диаграммы работы которого показаны на рисунке 3.14.

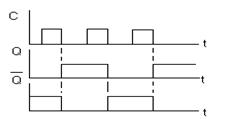


Рисунок 3.14 - Временные диаграммы работы Т-триггера

Двухступенчатые синхронные триггеры выпускаются в виде отдельных ИМС. На рисунке 3.15 показаны условные графические обозначения ИМС типов 155ТМ2 и 155ТВ1.

155ТМ2 155ТВ1

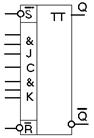
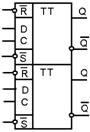


Рисунок 3.15 - Условные графические обозначения ИМС типов 155ТМ2 и 155ТВ1

ИМС 155ТМ2 содержит два синхронных D-триггера, управляемых передним фронтом синхронизирующего импульса. Триггеры имеют внутренние управляющие R и S входы, функционирующие независимо от синхронизирующих сигналов.

Синхронный JK-триггер 155ТВ1, изображенный на рисунке 3.15, также имеет независимое управление по входам S и R. Триггер тактируется спадом импульса и имеет по три информационных входа J и К. Одноименные входы объединены в нем по схеме И.

Обычно в сериях ИМС, выпускаемых промышленностью, D-триггеры переключаются фронтом импульса, а JK-триггеры — импульсом.

Отметим, что двухступенчатые синхронные триггеры реагируют на изменения информационных сигналов во время действия тактовых импульсов. Если перед приходом тактового импульса информационные входы имели состояние, при котором триггер не должен изменить свое состояние, а во время действия тактового импульса информационные входы даже на короткое время воспримут сигналы, приводящие к изменению состояния триггера, то это изменение произойдет обязательно. Поэтому рассматриваемые триггеры следует применять лишь там, где исключена возможность изменения информационных сигналов во время действия синхронизирующего импульса.

Несколько иначе работают двухступенчатые синхронные триггеры, переключаемые фронтом или спадом импульса. Такие триггеры реагируют лишь на сигналы, которые имеются на информационных входах в момент действия активного фронта или спада синхронизирующего импульса. В остальные моменты времени информационные входы триггера заблокированы, и сигналы на них не воспринимаются. Поэтому триггеры, переключаемые фронтом или спадом импульса, имеют более высокую помехозащищенность по сравнению с триггерами, переключаемыми импульсом.

4 РЕГИСТРЫ

4.1 Общие сведения о регистрах

Регистры — это устройства, предназначенные для записи, хранения, выдачи и преобразования информации, представленной в виде двоичных кодов.

Области применения: устройства памяти, элементы задержки, преобразователи последовательных кодов в параллельный и наоборот, кольцевые распределители сигналов и т.д. В зависимости от функциональных свойств и схемной реализации подразделяются на:

- регистры памяти;

- регистры сдвига;

- универсальные регистры.

4.2 Регистры памяти

Назначение регистров памяти – сохранять двоичный код на протяжении некоторого промежутка времени. Они состоят из набора триггеров, каждый из которых сохраняет один разряд кода. Следовательно, для хранения n-разрядного двоичного кода регистр должен иметь n триггеров. Структуру и работу такого триггера поясняет схема на рисунке 4.1.

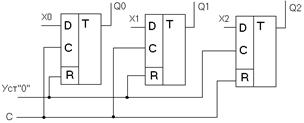


Рисунок 4.1- Структура регистра памяти

Двоичный код поступает в параллельной форме на входы Х0, Х1, Х2, после чего на вход С подается тактирующий импульс, которым производится запись в соответствующий триггер.

4.3 Сдвигающие регистры

Сдвигающий регистр — это группа триггеров, соединенных таким образом, что информация из каждого триггера может передаваться в следующий триггер, сдвигая код, записанный в регистре. В зависимости от направления сдвига различают регистры:

- со сдвигом вправо (в сторону младших разрядов),

- со сдвигом влево (в сторону старших разрядов),

- реверсивные (сдвигающие и вправо и влево).

Условное графическое обозначение сдвигающего вправо регистра показано на рисунке 4.2. Здесь стрелкой показано направление сдвига.



Рисунок 4.2-Условное графическое обозначение сдвигающего регистра

На рисунке 4.3 показан сдвигающий регистр, состоящий из соединенных последовательно D-триггеров, а на рисунке 4.4 функциональная схема сдвигающего регистра основе RS-триггеров. Важной особенностью сдвигающих регистров является их исполнение на триггерах исключительно двухступенчатой MS-структуры.

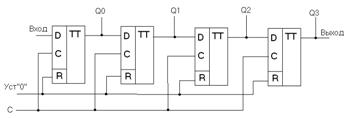


Рисунок 4.3 - Функциональная схема сдвигающего регистра основе D-триггеров

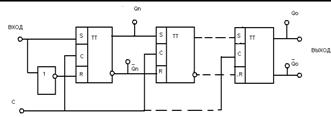


Рисунок 4.4- Функциональная схема сдвигающего регистра основе RS-триггеров

По переднему фронту синхронизирующего импульса С информация со входа записывается в М-часть первого триггера, а с выхода первого – в М-часть второго, со второго – в третий и так далее. По спаду синхронизирующего импульса С информация переписывается и М-части в S-часть. Таким образом, информация сдвигается на один разряд после каждого синхронизирующего импульса.

Такой регистр сдвигает коды в одном направлении. Информация, поступившая на вход во время какого-либо такта, появится на выходе Qn сдвигающего регистра через n тактов.

Если Qn считать старшим разрядом, то сдвиг данных происходит в сторону старших разрядов, т. е. влево. Если Qn — младший разряд, то происходит сдвиг данных вправо от старших разрядов к младшим.

В рассмотренном регистре запись информации производится по входу последовательным кодом (разряд за разрядом).

4.4 Реверсивные регистры

Существуют регистры, которые могут сдвигать данные в обоих направлениях. Такие регистры называются реверсивными. Принцип построения реверсивных регистров показан на схеме, изображенной на рисунке 4.5.

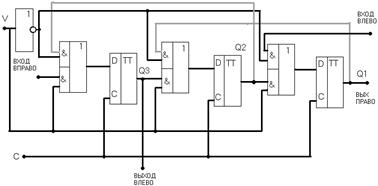


Рисунок 4.5- Функциональная схема реверсивного регистра на основе D-триггеров

Направление сдвига задается сигналом, подаваемым на вход V. Если V=1, то открыты нижние по схеме вентили & элементов 2И-ИЛИ, на управляющие входы которых поступает сигнал «1», и происходит сдвиг вправо. Если V=0, то открыты верхние по схеме вентили & элементов 2И-ИЛИ, т.к. сигнал управления поступает на них через инвертор; происходит сдвиг влево.

4.5 Универсальные регистры

Часто требуются более сложные регистры: с параллельной синхронной записью информации, реверсивные, с параллельно-последовательной синхронной записью. Такие регистры называются универсальными.

Примером универсального регистра служит ИМС типа К155ИР1, условное графическое обозначение которого показано на рисунке 4.6.

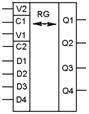


Рисунок 4.6-Условное графическое обозначение универсального регистра типа К155ИР1

Это четырехразрядный сдвигающий регистр с возможностью последовательной и параллельной записи информации. Его функциональная схема показана на рисунке 4.7.

Регистр выполнен на четырех RS-триггерах и имеет два тактирующих входа СІ, С2 и один вход V2, управляющий режимом работы регистра. Информационный вход V1 служит для занесения данных в последовательном коде, а входы D1—D4 — для занесения данных в параллельном коде.

Регистр может работать в четырех различных режимах, при которых выполняются: сдвиг кодов вправо, сдвиг кодов влево, параллельное занесение данных, хранение информации. Выбор того или иного из них осуществляется подачей соответствующего уровня логического сигнала на управляющий вход V2. При V2 = О производится сдвиг кодов в сторону старших разрядов. Если V2 = 1, то происходит параллельное занесение информации по входам D1—D4.

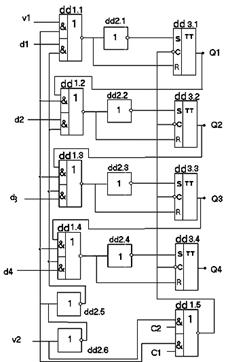


Рисунок 4.7-Функциональная схема универсального регистра типа К155ИР1

При работе регистра в режиме преобразования последовательного кода в параллельный со сдвигом в сторону старших разрядов (V2 = 0) отключаются входы параллельной записи D1- D4, разрешаются занесение данных в регистр по входу V1 в последовательном коде и прохождение тактирующих сигналов по входу С1, а также устанавливаются связи выхода каждого младшего разряда со входом последующего старшего. Сдвиг на один разряд вправо осуществляется при каждом спаде тактирующего импульса на входе С1. Информация в виде четырехразрядного параллельного кода появится на выходах Q1,Q2,Q3,Q4 через четыре такта входного импульса.

Параллельное занесение данных происходит через входы D1—D4 при наличии управляющего сигнала V2=1 с приходом спада импульса на вход С2. При этом вход последовательного занесения V1 и вход тактирующих сигналов С1 отключаются.

При организации сдвига кодов в сторону младших разрядов необходимо выполнить внешние соединения, показанные на рисунке 4.8.

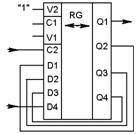


Рисунок 4.8-Схема внешних соединений для сдвига в сторону младших разрядов

Последовательная запись в регистр осуществляется по входу D4 при управляющем сигнале V2=1. Сдвиг кодов влево осуществляется при каждом спаде тактирующего импульса С2.      Параллельная запись при сдвиге кодов влево невозможна, поскольку каналы параллельного занесения используются для передачи данных от младших разрядов к старшим. Заметим, что в случае соединений, показанных на рисунке 4.8, отсутствует возможность лишь параллельного занесения данных. Сдвиг кодов в сторону старших разрядов возможен и, как и прежде, осуществляется подачей тактирующих сигналов на вход С1 при V2=0. Следовательно, сдвигающий регистр, изображенный на рисунке 4.8, является реверсивным.

5 СЧЕТЧИКИ

5.1 Общие сведения о счетчиках

Счетчиками называют устройства, ведущие счет числа импульсов.

Счетчики применяют не только для счета, но и для выполнения иных операций, которые можно свести к счету импульсов, а именно: преобразование количества импульсов в определенный код, деление частоты, суммирование или вычитание количества сигналов, распределение сигналов и т.д.

Основным параметром счетчика является коэффициент (модуль) счета Ксч .

Коэффициент счета равен количеству различных состояний счетчика. Именно столько необходимо импульсов, чтобы счетчик вернулся в исходное состояние. При использовании счетчика в качестве делителя частоты частота следования выходных импульсов меньше частоты входных в Ксч раз. Максимальное число, которое может отобразить счетчик на единицу меньше, чем Ксч . Основным элементом счетчиков является Т-триггер. На практике T-триггеры получают из D- или JK-триггеров.

В зависимости от направления счета различают суммирующие, вычитающие и реверсивные счетчики.

В суммирующем счетчике каждый счетный сигнал увеличивает число, записанное в счетчик на единицу (прямой счет), в вычитающем каждый счетный сигнал уменьшает содержимое счетчика на единицу (обратный счет). Реверсивный счетчик – может выполнять как прямой, так и обратный счет.

В таблицах 5.1 и 5.2 отображена последовательность изменения кодов в суммирующем и вычитающем счетчиках соответственно.

Таблица 5.1- Коды состояний суммирующего счетчика

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Номер сигнала | Разряды | | | Число в счетчике |
| Q2 | Q1 | Q0 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 1 | 0 | 2 |
| 3 | 0 | 1 | 1 | 3 |
| 4 | 1 | 0 | 0 | 4 |
| 5 | 1 | 0 | 1 | 5 |
| 6 | 1 | 1 | 0 | 6 |
| 7 | 1 | 1 | 1 | 7 |
| 8 | 0 | 0 | 0 | 0 |

Таблица 5.2- Коды состояний вычитающего счетчика

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Номер сигнала | Разряды | | | Число в счетчике |
| Q2 | Q1 | Q0 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 7 |
| 2 | 1 | 1 | 0 | 6 |
| 3 | 1 | 0 | 1 | 5 |
| 4 | 1 | 0 | 0 | 4 |
| 5 | 0 | 1 | 1 | 3 |
| 6 | 0 | 1 | 0 | 2 |
| 7 | 0 | 0 | 1 | 1 |
| 8 | 0 | 0 | 0 | 0 |

Если в качестве исходного состояния вычитающего счетчика выбрать десятичное число 7 (двоичный код 111), то последовательность входных импульсов уменьшает содержимое счетчика вплоть до 000, после чего наступает переполнение, т. е. возврат к исходному состоянию 111.

Если в качестве исходного состояния счетчика принять число 000, то состояния выходов триггеров счетчика отображают отрицательное число сосчитанных импульсов, представленное в дополнительном коде.

В зависимости от способа построения цепей переноса различают счетчики с последова- тельным и параллельным переносом.

5.2 Счетчики с последовательным переносом

5.2.1 Последовательный суммирующий счетчик

Как следует из таблицы 5.1 самый младший разряд Q0 меняет свое состояние с каждым счетным импульсом, смена состояния каждого последующего разряда происходит, если предыдущий переходит из единичного в нулевое состояние. Если использовать Т-триггеры, соединенные так, как показано на рисунке 5.1, то получим именно такую последовательность смены состояний триггеров.

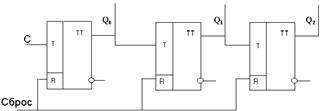


Рисунок 5.1- Последовательный суммирующий счетчик

На рисунке 5.2 показаны временные диаграммы работы суммирующего счетчика

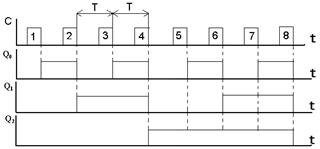


Рисунок 5.2- Временные диаграммы работы суммирующего счетчика

Каскадное включение п таких триггеров образует счетчик с коэффициентом счета Ксч = 2n. При этом необходимо помнить, что каждый триггер обладает Ксч = 2, а при их последовательном соединении коэффициенты счета перемножаются. На рисунке .2 видно, что период следования импульсов после каждого триггера увеличивается вдвое, и после последнего превышает период входных импульсов в Ксч раз. Соответственно частота уменьшается в такое же количество раз, т.е. делится на число, равное Ксч. Это свойство положено в основу использования счетчиков в качестве делителя частоты.

5.2.2 Последовательный вычитающий счетчик

Возможен и другой вариант последовательного включения триггеров, когда их входы соединены с инверсными выходами предшествующих триггеров, как показано на рисунке 5.3. Так получают двоичный вычитающий счетчик, смена состояний которого показана в таблице 5.2.

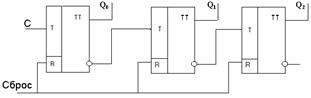


Рисунок 5.3 - Последовательный вычитающий счетчик

На рисунке 5.4 показаны временные диаграммы работы вычитающего счетчика.

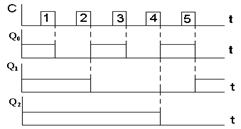


Рисунок 5.4- Временные диаграммы работы вычитающего счетчика

На рисунках 5.1 и 5.3 показаны схемы двоичных последовательных счетчиков, т. е. таких счетчиков, в которых при изменении состояния определенного триггера возбуждается последующий триггер, причем триггеры меняют свои состояния последовательно.

Если в данной ситуации должны изменить свои состояния п триггеров, то для завершения этого процесса потребуется п интервалов времени, соответствующих времени изменения состояния каждого из триггеров. Такой последовательный характер работы является причиной двух недостатков последовательного счетчика:

- меньшая скорость счета по сравнению с параллельными счетчиками,

- возможность появления ложных сигналов на выходе схемы.

Допустимая скорость счета в счетчиках обоих типов определяется максимальной скоростью переключения одного триггера.

Определяя максимальную скорость счета последовательного счетчика, следует учитывать наиболее неблагоприятный случай изменения состояния всех т триггеров. Суммарную продолжительность переходного процесса можно определить как сумму времен запаздывания отдельных элементов, соединяющих триггеры, и времен срабатывания всех триггеров. Найденное таким образом максимальное время перехода счетчика из одного состояния в другое следует считать предельным. Обычно реальное время перехода меньше предельного, так как в ряду последовательно включенных триггеров данный триггер начинает переход из одного состояния в другое еще до окончания переходного процесса в возбуждающем его элементе.

Последовательный характер переходов триггеров счетчика является источником ложных сигналов на его выходах. Например, в счетчике, ведущем счет в четырехразрядном двоичном коде с «весами» 8421, при переходе от числа 710 = 01112 к числу 810 = 10002 на выходе появится следующая последовательность сигналов: 0111– 0110 – 0100 – 0000 – 1000. Это означает, что при переходе из состояния 7 в состояние 8 на выходах счетчика на короткое время появятся состояния 6; 4; 0. Эти дополнительные состояния могут вызвать неправильную работу других устройств.

5.3 Счетчики с параллельным переносом

В параллельных счетчиках синхронизирующие сигналы поступают на все триггеры одновременно, что уменьшает время протекания переходных процессов. В этом случае получим параллельный счетчик. Пример схемы суммирующего счетчика приведен на рисунке 5.5.

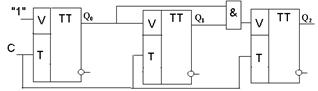


Рисунок 5.5- Параллельный суммирующий счетчик на TV-триггерах

Здесь счетные импульсы одновременно поступают на входы синхронизации Т всех триггеров, а на разрешающие входы V подаются сигналы, определяющие конкретные триггеры, которые изменяют свое состояние при данном входном импульсе. Если V=1, то триггер работает как обычно, если V=0, то находится в режиме хранения. Принцип работы счетчика следует из таблицы .1: триггер меняет свое состояние при поступлении очередного импульса синхронизации, если все предыдущие триггеры находились в состоянии логической единицы.

В качестве Т-триггера можно использовать универсальный JK-триггер, например ИМС К155ТВ1. Параллельный суммирующий счетчик на основе JK-триггеров приведен на рисунке 5.6.

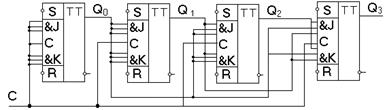


Рисунок 5.6- Параллельный суммирующий счетчик на JK-триггерах

Здесь каждый триггер может находиться только в двух режимах: счетном (режим Т-триггера) и хранения. В первом случае J=K=1, во втором – J=K=0. Логика работы полностью соответствует описанию схемы, представленной на рисунке 5.5.

5.4 Реверсивные счетчики

Иногда требуются счетчики, допускающие вести счет, как в прямом, так и обратном направлении, т.е. реверсивные. Принцип их построения основан на использовании вентильных элементов, позволяющих организовать переключение режима работы. Один из вариантов реверсивного параллельного счетчика на TV-триггерах представлен на рисунке 5.7.

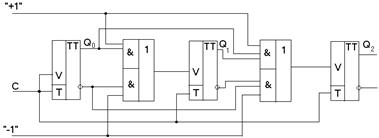


Рисунок 5.7- Параллельный реверсивный счетчик на TV-триггерах

Переключение направления счета достигается подачей сигнала логической единицы “1” на один из управляющих входов. Если “1” подана на вход “+1”, то режим суммирования, если на вход “-1”, то режим вычитания. В первом случае будут открыты верхние по схеме вентили И, поэтому сигналы переноса будут браться с прямых выходов триггеров, во втором случае открыты нижние вентили, и сигналы переноса проходят с инверсных выходов триггеров.

5.5 Счетчики с произвольным коэффициентом счета не равным 2n

В некоторых устройствах требуется счетчики с коэффициентом счета не равным 2n или с переменным коэффициентом счета. Один из возможных способов его изменения заключается в изменении логической структуры схемы в зависимости от сигналов управления коэффициентом счета. Смысл изменения заключается в изменении числа состояний счетчика, т.к. Ксч равен именно этому числу.

Предположим, что необходимо разработать параллельный счетчик, ведущий счет по модулю 5. Минимальное число триггеров, обеспечивающее коэффициент счета 5, равно трем. Действительно, счетчик, содержащий три триггера, может находиться в одном из восьми состояний (включая нулевое состояние 000). Но чтобы получить Ксч =5, необходимо уменьшить количество состояний на величину 8-5=3. Три состояния счетчика должны быть запрещены.

Возможны следующие основные способы уменьшения числа состояний:

- начальная установка кода,

- принудительный насчет в процессе счета,

- принудительное обнуление.

Под начальной установкой кода понимается предварительное занесение в счетчик перед началом счета числа, равного количеству избыточных состояний (для Ксч =5 их 3). Таким образом, количество импульсов, которые сосчитает счетчик до перехода в исходное состояние уменьшится на величину занесенного числа.

Принудительный насчет требует введения в схему счетчика дополнительных элементов, обеспечивающих в определенный момент занесение в счетчик числа равного количеству избыточных состояний. Примером построения счетчика по этому принципу может служить счетчик с Ксч=10, показанный на рисунке 5.8.

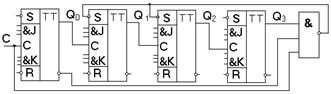


Рисунок 5.8- Счетчик с принудительным насчетом с Ксч=10

В течение первых восьми импульсов состояния счетчика изменяются обычным порядком как показано в таблице 5.3.

Таблица 5.3- Коды состояний счетчика с принудительным насчетом с Ксч=10

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Номер сигнала | Разряды (вес) | | | | Число в счетчике |
| Q3 (8) | Q2 (4) | Q1 (2) | Q0(1) |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 0 | 2 |
| 3 | 0 | 0 | 1 | 1 | 3 |
| 4 | 0 | 1 | 0 | 0 | 4 |
| 5 | 0 | 1 | 0 | 1 | 5 |
| 6 | 0 | 1 | 1 | 0 | 6 |
| 7 | 0 | 1 | 1 | 1 | 7 |
| 8 | 1 | 0 | 0 | 0 | 8 |
| 9а | 1 | 1 | 1 | 0 | 14 |
| 9б | 1 | 1 | 1 | 1 | 15 |
| 10 | 0 | 0 | 0 | 0 | 0 |

С приходом девятого импульса (строка 9а) на входах логического элемента И появляются три единицы, а на его выходе «0», которым устанавливаются по входам S триггеры Q2 и Q1, имеющие веса 4 и 2 соответственно. Это равносильно занесению в счетчик числа 6 – именно столько избыточных состояний при Ксч=10. После окончания девятого импульса (строка 9б) Q0 переходит в единичное состояние, и в итоге в счетчике оказывается число 15 вместо числа 9. Десятым импульсом счетчик переходит в исходное нулевое состояние.

Принцип принудительного обнуления реализован в ИМС К155ИЕ5, которая представляет собой четырехразрядный последовательный двоичный счетчик с изменяемым Ксч в пределах 16. Условное графическое обозначение счетчика К155ИЕ5 представлено на рисунке 5.9.

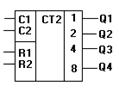


Рисунок 5.9- Счетчик с принудительным обнулением К155ИЕ5

Структура счетчика К155ИЕ5 показана на рисунке 5.10.

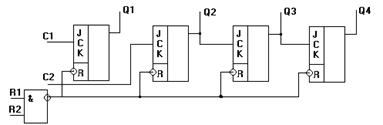


Рисунок 5.10- Структура счетчика с принудительным обнулением К155ИЕ5

Счетчик К155ИЕ5 состоит из четырех счетных триггеров на основе JK-триггеров, причем он содержит две независимые части с Ксч=2 (вход С1 и выход Q1) и с Ксч=8 (вход С2 и выходы Q2, Q3, Q4). С помощью внешних соединений Q1 с С2 можно получить последовательный счетчик с Ксч=2×8=16. Входы R1 и R2 служат для сброса (обнуления) счетчика, которое произойдет, если R1 = R2 = 1.

Принцип получения произвольного коэффициента счета основан на подаче единичных сигналов с выходов счетчика на входы обнуления.

Например, для получения Ксч=10 сначала определяют количество триггеров. Их должно быть четыре, т.к. 24=16, что больше, чем 10. Производят соединение Q1 с С2. Затем записывают в двоичной форме десятичное число десять: это будет Q1=0, Q2=1, Q3=0, Q4=1. При Ксч=1010 максимальный выходной код соответствует числу 910, а следующее за ним число – 010, а не 1010. Следовательно, соединив выходы Q2 и Q4, на которых единицы одновременно появляются после десятого импульса, со входами R1 и R2, получим обнуление счетчика десятым импульсом, что и будет соответствовать Ксч=1010. На рисунке 5.11 показан счетчик с Ксч=10, построенный по описанной методике.

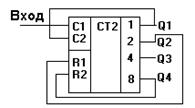


Рисунок 5.11-Счетчик с Ксч=10 на основе ИМС К155ИЕ5

Микросхемы К155ИЕ6, К555ИЕ6, КР1533ИЕ6 представляют собой двоично-десятичный, реверсивный счетчик, работающий в коде 1-2-4-8. Его условное графическое обозначение представлено на рисунке 5.12.

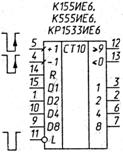


Рисунок 5.12-Счетчик К155ИЕ6, К555ИЕ6, КР1533ИЕ6

Назначение выходов и входов микросхемы К155ИЕ6, К555ИЕ6, КР1533ИЕ6:

- входы +1 и -1 служат для подачи тактовых импульсов, +1 – при прямом счете, -1 – при обратном.

- вход R служит для установки счетчика в 0,

- вход L – для записи в счетчик информации, поступающей по входам D1 - D8.

Установка триггеров счетчика в 0 происходит при подаче лог. 1 вход R, при этом на входе L должна быть лог. 1. Для предварительной записи в счетчик любого числа от 0 до 9 его код следует подать на входы D1 - D8 (D1 - младший разряд, D8 - старший), при этом на входе R должен быть лог. 0, и на вход L подать импульс отрицательной полярности.

Режим предварительной записи можно использовать для построения делителей частоты с перестраиваемым коэффициентом деления. Если этот режим не используется, на входе L должен постоянно поддерживаться уровень лог. 1.

Прямой счет осуществляется при подаче импульсов отрицательной полярности на вход +1, при этом на входах -1 и L должна быть лог. 1, на входе R – лог. 0. Переключение триггеров счетчика происходит по спадам входных импульсов, одновременно с каждым десятым входным импульсом на выходе >9 формируется отрицательный выходной импульс переполнения, который может подаваться на вход +1 следующей микросхемы многоразрядного счетчика. Уровни на выходах 1-2-4-8 счетчика соответствуют состоянию счетчика в данный момент (в двоичном коде). При обратном счете входные импульсы подаются на вход -1, выходные импульсы снимаются с выхода ≤ 0.

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРИ

1. Алексенко А.Г. Микросхемотехника. - М.: Радио и связь. - 1982.

2. Бирюков С.А. Применение цифровых микросхем серий ТТЛ и КМОП. -М.: ДМК. -2000

3. Букреев Я.П. Микроэлектронные схемы цифровых устройств.- М.: Радио и связь.-1990.

4. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре.- Л.: Энергоатомиздат.- 1986.

5. интегральные микросхемы: Справочник. Под ред. Тарабрина Б.В. -М.:Энергоатомиздат. -1985.

6. Малышев А.А. Основы цифровой техники.- М.: Радио и связь.- 1984

7. Овечкин Ю.А. микроэлектроника -М.: Радио и связь.- 1982.

8. Основи цифрових схем / І.П.Барбаш, М.П.Благодарний, В.Я.Жихарев, В.М.Ілюшко, В.С.Кривцов, П.М.Куліков, М.В.Нечипорук, Г.М.Тимонькін, В.С.Харченко.-Х.-Нац.аерокосмічний ун-т «Харк. авіац. ін-т». - 2002.